

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-076868

(43)Date of publication of application : 23.03.2001

(51)Int.Cl.

H05B 33/08

G09F 9/00

G09F 9/30

G09G 3/20

G09G 3/30

H05B 33/14

(21)Application number : 2000-194774

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 28.06.2000

(72)Inventor : YAMAZAKI SHUNPEI

(30)Priority

Priority number : 11182590

Priority date : 28.06.1999

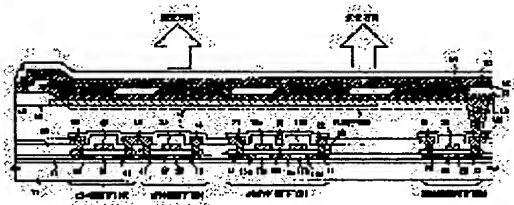
Priority country : JP

(54) EL DISPLAY DEVICE AND ELECTRONIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce size and a manufacturing cost by forming a part or the whole of a driving circuit inside a picture element part.

SOLUTION: In a picture element part, a CMOS circuit formed of an (n) channel type TFT 204 and a (p) channel type TFT 205 is formed under a picture element electrode 49, and various elements, a driving circuit or a signal processing part are formed with this CMOS circuit as a basic unit. The driving circuit is a data signal driving circuit and a gate signal driving circuit. With this constitution, since the elements and the driving circuit are formed of the TFT formed under the picture element electrode 49 in respective picture elements and are formed inside the picture element part as a whole, a dead space in the picture element part can be effectively used. When forming a switching TFT 201 and a current control TFT 202 of the (n) channel type TFT, an operation speed is quickened, and since the size can be reduced, a dead space under the picture element electrode 49 can be more effectively used.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] EL display which is an EL display with which the pixel section and a drive circuit were formed on the same substrate, and is characterized by forming some or all of said drive circuit in the interior of said pixel section.

[Claim 2] It is EL display characterized by being EL display with which the pixel section and a drive circuit were formed on the same substrate, and forming some or all of said drive circuit in the bottom of the pixel electrode formed in said pixel section.

[Claim 3] EL display which is an EL display with which the pixel section, a drive circuit, and the signal-processing section were formed on the same substrate, and is characterized by forming some or all of said drive circuit, or a part or all of said signal-processing section in the interior of said pixel section.

[Claim 4] It is EL display characterized by being EL display with which the pixel section, a drive circuit, and the signal-processing section were formed on the same substrate, and forming some or all of said drive circuit, or a part or all of said signal-processing section in the bottom of the pixel electrode formed in said pixel section.

[Claim 5] It is EL display characterized by connecting said pixel electrode with the cathode of an EL element in any 1 of claim 1 thru/or claims 4.

[Claim 6] EL display characterized by including a shift register at least with said drive circuit in any 1 of claim 1 thru/or claims 4.

[Claim 7] The electronic instrument characterized by having EL display indicated by any 1 of claim 1 thru/or claims 6.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the electronic instrument (electron device) which has

EL (electroluminescence) indicating equipment which made the semiconductor device (component using a semi-conductor thin film) on the substrate, and was formed, and its EL indicating equipment as a display display.

[0002]

[Description of the Prior Art] In recent years, on the substrate, the technique which forms TFT progresses sharply and application development to a active-matrix mold display is furthered. Since electric field effect mobility (micro FE) is higher than TFT which used the conventional amorphous silicon film, high-speed operation is possible for especially TFT using the polish recon film. Therefore, it is possible to perform control of a pixel in the drive circuit besides a substrate conventionally in the drive circuit formed on the same substrate as a pixel.

[0003] Such a active-matrix mold display attracts attention noting that various advantages, such as reduction of a manufacturing cost, a miniaturization of a display, a rise of the yield, and reduction of a throughput, are acquired by making various circuits and components on the same substrate.

[0004] In the monolithic mold display which has the drive circuit which drives the pixel section and its pixel section on the same substrate, since a drive circuit is formed around the pixel section, the substrate size which needs only the part of a drive circuit becomes large rather than it forms only the pixel section on a substrate. Therefore, the number of sheets of the display which can start the monopoly area of a drive circuit from one substrate by how it is made small changes.

[0005] If the pixel section becomes the display of 1 inch or less of vertical angles especially, a drive circuit will have to be carried on a very small substrate, and the monopoly area of a drive circuit will affect substrate size greatly. However, the function of a drive circuit is the same irrespective of the size of the pixel section, and in order to form the circuit of the same function in the narrower range, various elements, such as improvement in a TFT property and a detailed-ized technique, can serve as a rate-limiting point.

[0006]

[Problem(s) to be Solved by the Invention] This invention is made in view of the above-mentioned trouble, and makes a technical problem further miniaturization of a active-matrix mold EL display, and reduction of a manufacturing cost. And let further miniaturization of the electronic instrument (electron device) which possesses such a active-matrix mold EL indicating equipment as a display for a display, and reduction of a manufacturing cost be technical problems.

[0007]

[Means for Solving the Problem] In the active-matrix mold EL display, the EL element is prepared for every pixel. An EL element here is a light emitting device which becomes in cathode, EL layer, and an anode plate. The output light (henceforth EL light) of this EL element is outputted to either a substrate side, or a substrate and the opposite side. This situation is shown in drawing 6.

[0008] The structure of drawing 6 (A) is formed with the pixel electrode (anode plate) / EL layer / MgAg electrode (cathode) with which an EL element becomes order by ITO (Indium Tin Oxide) from the bottom. Moreover, the cathode itself has prepared the protection electrode (here aluminum electrode) for assisting at the same time it protects the function of cathode, since it is thin. In this case, EL light is outputted to the substrate side with which TFT was formed. Therefore, the part which has neither TFT nor wiring in the bottom of it among the whole surface products of a pixel electrode serves as an effective luminescence field.

[0009] On the other hand, the structure of drawing 6 (B) is formed with the pixel electrode / MgAg electrode (cathode) / EL layer / ITO electrode (anode plate) to which an EL element becomes order by the aluminum film from the bottom. In this case, since EL light does not penetrate a pixel electrode, it is altogether outputted to the opposite side (top-face side of EL display) with a substrate. Therefore, the whole surface product of a pixel electrode serves as an effective luminescence field.

[0010] As mentioned above, in the case of drawing 6 (A), it is important to form neither a component nor wiring in the bottom of a pixel electrode as much as possible. However, in being drawing 6 (B), no

matter what thing may be formed in the bottom of a pixel electrode, it is perfect dead space not related.

[0011] The main point of this invention aims at utilizing the dead space under a pixel electrode effectively in the active-matrix mold EL indicating equipment which makes an EL element emit light by method like drawing 6 (B). Specifically, the drive circuit for driving the pixel section is formed in the bottom of the pixel electrode of each pixel arranged in the shape of a matrix in the pixel section. Furthermore, not only a drive circuit but the other signal-processing sections (a subharmonics circuit, a booster circuit, a gamma correction circuit, memory, or differential amplifying circuit) can be formed.

[0012] That is, conventionally, the circuit or component prepared around the pixel section is arranged to the dead space of pixel circles, and effective use of substrate area is aimed at. In addition, as a component prepared around the pixel section, the protection component for the cure against ESD (electrostatic discharge) etc. shall be included.

[0013] Moreover, this invention is not applied only to a active-matrix mold EL display, has a drive circuit on the same substrate, and can apply it also to EL display [as / whose pixel section is a passive-matrix mold]. That is, in the pixel section, EL light is EL display with which a substrate is outputted to the opposite side, and this invention is effective when other circuits or components are formed on a substrate.

[0014]

[Embodiment of the Invention] The outline of cross-section structure is first shown in drawing 1 about the active-matrix mold EL display of this invention. In drawing 1 , it is the insulator layer (henceforth the substrate film) from which 11 becomes a substrate and 12 becomes a substrate. As a substrate 11, a glass substrate, a quartz substrate, a crystallization glass substrate, a ceramic substrate, a silicon substrate, a metal substrate, or a plastic plate can be used.

[0015] Moreover, although especially the substrate film 12 is effective when using the substrate containing movable ion, and the substrate which has conductivity, you may not prepare in a quartz substrate. What is necessary is just to use the insulator layer containing silicon (silicon) as substrate film 12. in addition, in this specification, "the insulator layer containing silicon" points out the insulator layer in which predetermined came out of oxygen or nitrogen comparatively, and it was made to specifically contain to silicon, such as oxidation silicon film, a silicon nitride film, or nitriding oxidation silicon film (SiO_xN_y :x and y -- the integer of arbitration -- come out and shown).

[0016] 201 is TFT for switching, 202 is TFT for current control, and both are formed with the n channel mold TFT here. For the electric field effect mobility of the n channel mold TFT, since it is larger than the electric field effect mobility of the p channel mold TFT, a working speed is a sink and a cone about a high current early. Moreover, TFT size can do the direction of the n channel mold TFT small also passing the same amount of currents. Therefore, the direction which used the n channel mold TFT as TFT for current control can utilize the dead space under a pixel electrode more effectively.

[0017] However, in this invention, it is also possible for it not to be necessary to limit TFT for switching and TFT for current control to the n channel mold TFT, and to use the p channel mold TFT for both or either one of the two.

[0018] TFT201 for switching has the drain wiring 22 in a barrier layer including the source field 13, the drain field 14, the LDD fields 15a-15d, an isolation region 16, and the channel formation fields 17a and 17b, gate dielectric film 18, the gate electrodes 19a and 19b, the 1st interlayer insulation film 20, and source wiring 21 list, and is formed in them. in addition, gate dielectric film 18 or the 1st interlayer insulation film 20 -- the total on a substrate -- it may be common to TFT and you may make it differ according to a circuit or a component

[0019] Moreover, the gate electrodes 19a and 19b are connected electrically, and TFT201 for switching shown in drawing 2 has the so-called double-gate structure. Of course, you may be the so-called multi-gate structures (structure containing the barrier layer which has two or more channel formation fields connected to the serial), such as not only double-gate structure but triple gate structure.

[0020] Multi-gate structure is very effective when reducing the OFF state current of TFT, and if the

OFF state current of TFT for switching is made low enough, it is also possible to consider as the configuration which does not form a capacitor (capacitor for maintaining the gate voltage of TFT for current control) in the drain of TFT for switching. Consequently, the further effective use of the dead space in a pixel is attained.

[0021] Furthermore, in TFT201 for switching, the LDD fields 15a-15d are formed so that it may not lap with the gate electrodes 19a and 19b through gate dielectric film 18. Such structure is very effective when reducing the OFF state current. Moreover, what is necessary is just to set typically 0.5-3.5 micrometers (width of face) of LDD fields [15a-15d] die length to 2.0-2.5 micrometers.

[0022] In addition, it is still more desirable to prepare an offset field (field where it becomes in the semiconductor layer of the same presentation as a channel formation field, and gate voltage is not impressed) between a channel formation field and a LDD field, when lowering the OFF state current. Moreover, in the case of the multi-gate structure of having two or more gate electrodes, the isolation region 16 (field where the same impurity element was added by the same concentration as a source field or a drain field) prepared between channel formation fields is effective for reduction of the OFF state current.

[0023] Next, TFT202 for current control has the drain wiring 32 in a barrier layer including the source field 26, the drain field 27, the LDD field 28, and the channel formation field 29, gate dielectric film 18, the gate electrode 30, the 1st interlayer insulation film 20, and source wiring 31 list, and is formed in them. In addition, although the gate electrode 30 has single gate structure, you may be multi-gate structure.

[0024] The drain of TFT201 for switching is connected to the gate of TFT202 for current control. Specifically, the gate electrode 30 of TFT202 for current control is electrically connected through the drain field 14 of TFT201 for switching, and the drain wiring (said to be connection wiring) 22. Moreover, source wiring 31 is connected to the current supply source line which supplies a predetermined electrical potential difference.

[0025] Although it is a component for controlling the amount of currents poured into EL element 203, if degradation of an EL element is taken into consideration, as for TFT202 for current control, it is not desirable to pass not much many currents. Therefore, as for channel length (L), designing for a long time is desirable so that a superfluous current may not flow to TFT202 for current control. It is made to be desirably set to 0.5-2microper pixel A (preferably 1-1.5microA).

[0026] When based on the above thing, as shown in drawing 9 , the channel length of TFT for switching L1 (however, $L1=L1a+L1b$), When channel width was set to W1, channel length of TFT for current control is set to L2 and channel width is set to W2, it is desirable that W1 sets to 0.1-5 micrometers (typically 0.5-2 micrometers), and W2 sets to 0.5-10 micrometers (typically 2-5 micrometers). Moreover, it is desirable that L1 sets to 0.2-18 micrometers (typically 2-15 micrometers), and L2 sets to 1-50 micrometers (typically 10-30 micrometers). However, this invention is not limited to the above numeric value.

[0027] Moreover, EL indicating equipment shown in drawing 1 has the description also in the point of having the field where the LDD field 28 was formed between the drain field 27 and the channel formation field 29, and the LDD field 28 has lapped with the gate electrode 30 on both sides of gate dielectric film 18, and the field with which it has not lapped, in TFT202 for current control.

[0028] As for TFT202 for current control, it is desirable to take the cure against degradation by hot carrier impregnation in order to make EL element 203 emit light and to pass comparatively many currents. Moreover, in case black is displayed, TFT202 for current control is made into the OFF state, but in that case, if the OFF state current is high, a beautiful black display will become impossible and the fall of contrast etc. will be caused. Therefore, it is necessary to also suppress the OFF state current.

[0029] About degradation by hot carrier impregnation, it is known that the structure with which the LDD field lapped to the gate electrode is very effective. However, since the OFF state current will increase if the whole LDD field is kept in piles, these people have solved the cure against a hot carrier, and the

cure against the OFF state current to coincidence according to the new structure of establishing in a serial the LDD field which does not lap with a gate electrode in addition to the above-mentioned structure.

[0030] What is necessary is just to set to 0.1–3 micrometers (preferably 0.3–1.5 micrometers) the die length of the LDD field which lapped with the gate electrode at this time. If too long, parasitic capacitance is enlarged, and if too short, the effectiveness of preventing a hot carrier will become weak. Moreover, what is necessary is just to set to 1.0–3.5 micrometers (preferably 1.5–2.0 micrometers) the die length of the LDD field which does not lap with a gate electrode. When too long, it becomes impossible to pass sufficient current, and if too short, the effectiveness of reducing the OFF state current will become weak.

[0031] Moreover, it is more desirable not to prepare between the source field 26 and the channel formation field 29, since parasitic capacitance will be formed in the field with which the gate electrode and the LDD field lapped in the above-mentioned structure. Since TFT for current control always has the same direction where a carrier (here electron) flows, it is enough if the LDD field is established only in the drain field side.

[0032] However, if the driver voltage (electrical potential difference built between a source field and a drain field) of TFT202 for current control becomes less than [10V], since hot carrier impregnation stops almost becoming a problem, it can also omit the LDD field 28. In that case, a barrier layer consists of the source field 26, a drain field 27, and a channel formation field 29.

[0033] Moreover, if the amount of currents which can be passed is seen from a viewpoint of making [many] it, what thickness of the barrier layer (especially channel formation field) of TFT202 for current control is thickened also for (preferably 50–100nm, still more preferably 60–80nm) is effective. On the contrary, in TFT201 for switching, if the OFF state current is seen from a viewpoint of making it small, what thickness of a barrier layer (especially channel formation field) is made thin also for (preferably 20–50nm, still more preferably 25–40nm) is effective.

[0034] Although the above explained the structure of TFT established in the pixel, in the same pixel, a drive circuit (strictly a part of drive circuit) is also formed at coincidence at this time. The CMOS circuit used as the base unit which forms a drive circuit is illustrated by drawing 1 .

[0035] TFT which has the structure of reducing hot carrier impregnation is used as an n channel mold TFT204 of a CMOS circuit, making it not reduce a working speed as much as possible in drawing 1 . In addition, a drive circuit here points out a data signal drive circuit (a shift register, a level shifter, a buffer, a latch, a D/A converter, and a sampling circuit are included) and a gate signal drive circuit (a shift register, a level shifter, and a buffer are included). Of course, it is also possible to form other digital disposal circuits (a subharmonics circuit, a booster circuit, a gamma correction circuit, memory, or differential amplifying circuit).

[0036] In the LDD field 37, the barrier layer of the n channel mold 204 has lapped with the gate electrode 39 on both sides of gate dielectric film 18 including the source field 35, the drain field 36, the LDD field 37, and the channel formation field 38.

[0037] The consideration for not reducing a working speed forms the LDD field only in a drain field side. Moreover, it is better for this n channel mold TFT204 to seldom have cared about the OFF state current value, and to attach greater importance than to it to a working speed. Therefore, as for the LDD field 37, it is desirable to keep in a gate electrode in piles completely, and to lessen a resistance component as much as possible. Namely, it is better to abolish the so-called offset.

[0038] Moreover, since degradation by hot carrier impregnation hardly worries the p channel mold TFT205 of a CMOS circuit, it is not necessary to prepare especially a LDD field. Therefore, as for a barrier layer, on it, gate dielectric film 18 and the gate electrode 43 are formed including the source field 40, the drain field 41, and the channel formation field 42. Of course, it is also possible to prepare a LDD field like the n channel mold TFT204, and to take the cure against a hot carrier.

[0039] Moreover, the n channel mold TFT204 and the p channel mold TFT205 are covered with the 1st

interlayer insulation film 20, respectively, and source wiring 44 and 45 is formed. Moreover, both are electrically connected by the drain wiring 46.

[0040] 47 [next,] -- the 1st passivation film -- it is -- thickness -- 10nm - 1 micrometer (preferably 200-500nm) -- then, it is good. As an ingredient, the insulator layer (the nitriding oxidation silicon film or a silicon nitride film is especially desirable) containing silicon can be used. This passivation film 47 has the role which protects formed TFT from alkali metal or moisture. Alkali metal, such as sodium, is contained in EL layer finally prepared above TFT. That is, the 1st passivation film 47 works also as a protective layer which does not make such alkali metal (movable ion) invade into the TFT side.

[0041] Moreover, 48 is the 2nd interlayer insulation film and has the function as flattening film to perform flattening of the level difference made by TFT. As the 2nd interlayer insulation film 48, the organic resin film is desirable and it is good to use polyimide, a polyamide, an acrylic, BCB (benz-cyclobutene), etc. These organic resin film tends to form a good flat side, and has the advantage that specific inductive capacity is low. Since EL layer is very sensitive to irregularity, as for the level difference by TFT, it is desirable to absorb almost with the 2nd interlayer insulation film. Moreover, when reducing the parasitic capacitance formed between gate wiring, data wiring, and the cathode of an EL element, it is desirable to prepare an ingredient with low specific inductive capacity thickly. Therefore, 0.5-5 micrometers (preferably 1.5-2.5 micrometers) of thickness are desirable.

[0042] Moreover, 49 is a pixel electrode which becomes by the electric conduction film of protection-from-light nature, and after it opens a contact hole (puncturing) in the 2nd interlayer insulation film 48 and the 1st passivation film 47, it is formed so that it may connect with the drain wiring 32 of TFT202 for current control in the formed aperture. It seems that in addition, it will not invade into a barrier layer via a pixel electrode even if the alkali metal of EL layer will diffuse the inside of a pixel electrode, if the direct continuation of the pixel electrode 49 and the drain field 27 is made not to be carried out like drawing 1.

[0043] On the pixel electrode 49, the 3rd interlayer insulation film 50 which becomes by the oxidation silicon film, the nitriding oxidation silicon film, or the organic resin film is formed at the thickness which is 0.3-1 micrometer. That verge of opening is etched so that opening may be prepared by etching on the pixel electrode 49 and this 3rd interlayer insulation film 50 may serve as a taper configuration. The include angle of a taper is good to consider as 10-60 degrees (preferably 30-50 degrees).

[0044] Cathode 51 is formed on the 3rd interlayer insulation film 50. The ingredient which contains the small magnesium (Mg), the lithium (Li), or calcium (calcium) of a work function as cathode 51 is used. What is necessary is just to use the electrode which becomes preferably by MgAg (ingredient which mixed Mg and Ag by Mg:Ag=10:1). A MgAgAl electrode, a LiAl electrode, and a LiFAl electrode are mentioned to others.

[0045] The EL layer 52 is formed on cathode 51. At this time, it is required to consider as the condition that formed the EL layer 52 so that it might become a larger pattern than cathode 51, and cathode 51 was completely covered in the EL layer 52. It can prevent cathode 51 connecting with the anode plate formed behind too hastily by carrying out like this.

[0046] Moreover, as for cathode 51 and the EL layer 52, it is desirable to form continuously without carrying out atmospheric-air release using the vacuum deposition machine of a multi chamber method (it is also called a cluster tool method). This is for avoiding that the EL layer 52 deteriorates including moisture. What is necessary is just to use a well-known technique about the formation approach of cathode 51 and the EL layer 52.

[0047] For example, the cathode 51 corresponding to all pixels is first formed with the 1st mask, and, subsequently EL layer of red luminescence is formed in the pixel corresponding to red with the 2nd mask. And what is necessary is to shift controlling the 2nd mask to a precision and just to form EL layer of green luminescence, and EL layer of blue luminescence one by one. In addition, although what is necessary is just to shift the 2nd mask by such approach when the pixel corresponding to RGB is located in a line in the shape of a stripe, in order to realize pixel structure called the so-called delta

arrangement, the 4th mask may be separately used for EL layers of green luminescence the 3rd mask and for EL layers of blue luminescence.

[0048] Moreover, although the above-mentioned explanation showed the example which forms EL layer which emits light in each color with the vacuum deposition which used the mask, the ink jet method, screen printing, or the ion plating method may be used. Moreover, a rib may be formed so that a pixel may be surrounded, and EL layer of each color may be classified.

[0049] Furthermore, although the above-mentioned explanation showed the example which performs color display using red, green, and blue three primary colors, as long as it is an EL display in which monochromatic luminescence is shown, it may form extensively red and EL layer which shows luminescence of either green or blue. Of course, it is also possible to form EL layer of white luminescence and to consider as EL display of a monochrome display.

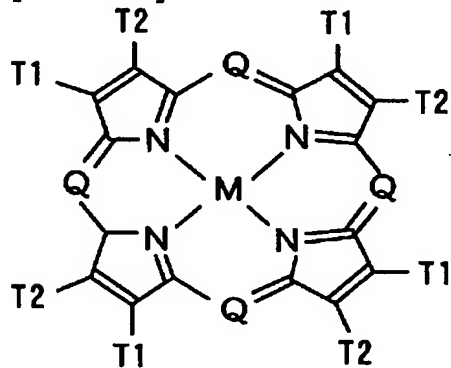
[0050] Although it is used by the monolayer or the laminated structure, since it is [luminous efficiency] better to use the EL layer 51 by the laminated structure, it is desirable. Although generally formed on a pixel electrode in order of a hole-injection layer / electron hole transportation layer / luminous layer / electronic transportation layer, structure like an electron hole transportation layer / luminous layer / electronic transportation layer or a hole-injection layer / an electron hole transportation layer / luminous layer / electronic transportation layer / electron injection layer is sufficient. In this invention, which well-known structure may be used and fluorescence coloring matter etc. may be doped to EL layer.

[0051] As an organic electroluminescence ingredient, the ingredient indicated by the following United States patents or open official reports can be used, for example. U.S. Pat. No. 4,356,429 U.S. Pat. No. 4,539,507, U.S. Pat. No. 4,720,432 U.S. Pat. No. 4,769,292, U.S. Pat. No. 4,885,211 U.S. Pat. No. 4,950,950, U.S. Pat. No. 5,059,861 U.S. Pat. No. 5,047,687, U.S. Pat. No. 5,073,446 U.S. Pat. No. 5,059,862, U.S. Pat. No. 5,061,617 U.S. Pat. No. 5,151,629, U.S. Pat. No. 5,294,869 U.S. Pat. No. 5,294,870, JP,10-189525,A, JP,8-241048,A, JP,8-78159,A.

[0052] Specifically, the organic material as a hole-injection layer can use what is expressed with the following general formulas.

[0053]

[Formula 1]



[0054] Q is N or C-R (chain) here, M is a metal, a metallic oxide, or a metal halogenide, R is hydrogen, alkyl, an aralkyl, an allyl compound, or Al Khalil, and T1 and T2 are the partial saturation six membered rings containing hydrogen, alkyl, or a substituent like a halogen.

[0055] Moreover, the organic material as an electron hole transportation layer can use an aromatic series tertiary amine, and contains the tetra-allyl compound diamine preferably expressed with the following general formulas.

[0056]

[Formula 2]

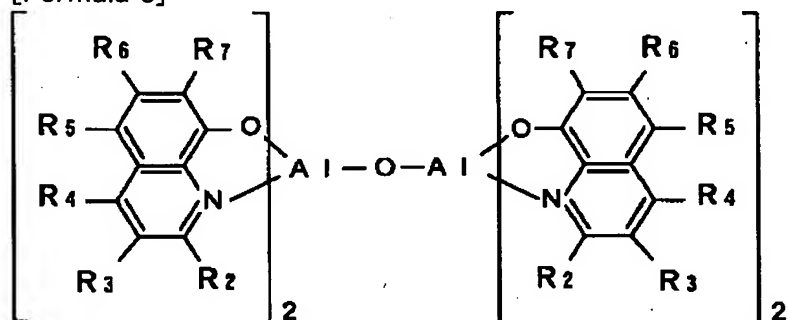


[0057] Are is a propene group here, n is the integer of 1 to 4, and Ar, R7, R8, and R9 are the selected allyl compound groups, respectively.

[0058] Moreover, the organic material as EL layer, an electronic transportation layer, or an electron injection layer can use a metal oxy-NOIDO compound. What is necessary is just to use what is expressed with the following general formulas as a metal oxy-NOIDO compound.

[0059]

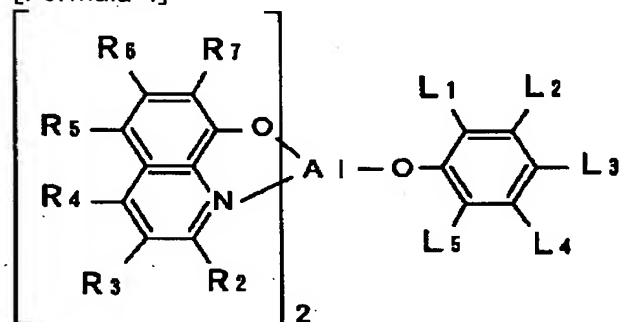
[Formula 3]



[0060] R2-R7 can be replaced and they can also use the following metal oxy-NOIDO compounds here.

[0061]

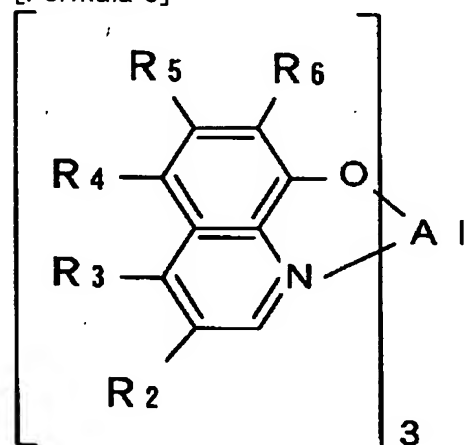
[Formula 4]



[0062] R2-R7 are based on an above-mentioned definition here, and L1-L5 are a carbohydrate group containing the carbon element of 1 to 12, and both L1 and L2, and L2 and L3 can form a benzoring. Moreover, the following metal oxy-NOIDO compounds are sufficient.

[0063]

[Formula 5]



[0064] R2-R6 can be replaced here. Thus, the coordination compound which has organic ligand as an organic electroluminescence ingredient is included. However, the above example is an example of the organic electroluminescence ingredient which can be used as an EL ingredient of this invention, and there is no need of limiting to this.

[0065] Moreover, a polymer system ingredient may be used as an EL ingredient. As a typical polymer system ingredient, polymeric materials, such as a poly para-phenylene vinylene (PPV) system and the poly fluorene system, are mentioned. In order to colorize, to red luminescent material, polyphenylene vinylene and the poly alkyl phenylene are [cyano polyphenylene vinylene and green luminescent material / polyphenylene vinylene and blue luminescent material] desirable.

[0066] In addition, it roughly divides into EL display and there are four colorization means of displaying. The method which forms three kinds of EL elements corresponding to R(red) G(green) B (blue), The method which combined the method which combined the EL element and color filter of white luminescence, blue, or the EL element and fluorescent substance (the color conversion layer of fluorescence: CCM) of bluish green luminescence, the method which puts the EL element corresponding to RGB on cathode (counterelectrode) using a transparent electrode, *****.

[0067] The structure of drawing 1 is an example at the time of using the method which forms three kinds of EL elements corresponding to RGB. In addition, although only one pixel is illustrated to drawing 1 , the pixel of the same structure is formed corresponding to each color of red, green, or blue, and, thereby, color display can be performed. However, it is not concerned with a luminescence method, but this invention can be carried out, and can use all the four above-mentioned methods for this invention.

[0068] In this way, if it forms to the EL layer 52, the anode plate 53 which becomes by the transparence electric conduction film (oxide electric conduction film) will be formed on it. thickness -- 80-300nm (preferably 100-200nm) -- then, it is good. In the case of this invention, since the light generated in EL layer is outputted to above [of drawing 1] (the direction of a substrate and the opposite side), if an anode plate 53 is not transparent to the light emitted from the EL layer 52, it will be learned, and it is **.

[0069] In addition, in this specification, the light emitting device formed in cathode 51 (it may combine with the pixel electrode 49 and you may consider cathode), the EL layer 52, and an anode plate 53 is called an EL element. In drawing 1 , a sign 203 shows an EL element.

[0070] 54 [moreover,] -- the 2nd passivation film -- it is -- thickness -- 10nm - 1 micrometer (preferably 200-500nm) -- then, it is good. Although the purpose which forms the 2nd passivation film 54 has the main purpose which protects the EL layer 52 from moisture, it is also effective to give the heat dissipation effectiveness. However, since EL layer is weak with heat as mentioned above, it is desirable to form membranes if possible at low temperature (preferably temperature requirement from a room temperature to 120 degrees C). Therefore, it can be said to be the membrane formation approach that a plasma-CVD method, a spatter, vacuum evaporation technique, the ion plating method, or the solution applying method (spin coating method) is desirable.

[0071] In this way, the pixel section of structure as shown in drawing 1 is completed. The CMOS circuit which the pixel section of this invention becomes with the n channel mold TFT204 and the p channel mold TFT205 is formed in the bottom of the pixel electrode 49, and various components as a base unit, a drive circuit, or the signal-processing section is formed in this CMOS circuit. In addition, drawing 1 means that circuits prepared around the pixel section conventionally, such as a drive circuit, are formed not in the semantics that the one CMOS circuit is formed in 1 pixel but in a pixel.

[0072] Therefore, conventionally, the component and drive circuit which were prepared around the pixel section, or the signal-processing section is formed by TFT formed in the bottom of a pixel electrode in each pixel, and is formed in the interior of the pixel section (inside of the pixel section) as a whole.

[0073] In addition, in a substrate and EL indicating equipment which makes light output to the opposite side, the main point of this invention arranges the circuit or component prepared around the pixel section to the dead space (under a pixel electrode) of pixel circles, and is in the point of aiming at effective use of substrate area, conventionally. Therefore, it is not limited to the TFT structure of

drawing 1 .

[0074] [Example 1] The example of this invention is explained using drawing 2 – drawing 5 . Here, how to produce the pixel section shown in drawing 1 is explained. However, in order to simplify explanation, suppose that the CMOS circuit which is a base unit is illustrated about a drive circuit.

[0075] First, as shown in drawing 2 (A), the substrate 501 which prepared the substrate film (not shown) in the front face is prepared. On glass ceramics, as substrate film, the laminating of the nitriding oxidation silicon film of 200nm thickness is carried out, and the nitriding oxidation silicon film of 100nm thickness is used in this example. At this time, it is good to make into 10 – 25wt% nitrogen concentration of the direction which touches a glass-ceramics substrate. Of course, a direct component may be formed on a quartz substrate, without preparing the substrate film.

[0076] Next, the amorphous silicon film 502 with a thickness of 45nm is formed by the well-known forming-membranes method on a substrate 501. In addition, what is necessary is just the semi-conductor film (the microcrystal semi-conductor film is included) which does not need to limit to the amorphous silicon film and includes amorphous structure. The compound semiconductor film which furthermore includes the amorphous structure of the amorphous silicon germanium film etc. is sufficient.

[0077] The process from here to drawing 2 (C) can quote JP,10-247735,A by these people completely. In this official report, the technique about the crystallization approach of the semi-conductor film of having used elements, such as nickel, as a catalyst is indicated.

[0078] First, the protective coat 504 which has Openings 503a and 503b is formed. In this example, the oxidation silicon film of 150nm thickness is used. And the layer (nickel content layer) 505 which contains nickel (nickel) with a spin coat method is formed on a protective coat 504. What is necessary is just to refer to said official report about formation of this nickel content layer.

[0079] Next, as shown in drawing 2 (B), 570-degree-C heat-treatment of 14 hours is added in an inert atmosphere, and the amorphous silicon film 502 is crystallized. Under the present circumstances, crystallization advances to a substrate and outline parallel with the fields (henceforth nickel addition field) 506a and 506b as the starting point where nickel touched, and the polish recon film 507 which becomes by the crystal structure which cylindrical crystals gathered and was located in a line is formed.

[0080] Next, as shown in drawing 2 (C), the element (preferably Lynn) which belongs to 15 groups by using a protective coat 505 as a mask as it is added to nickel addition fields 506a and 506b. In this way, the fields (henceforth the Lynn addition field) 508a and 508b where Lynn was added are formed in high concentration.

[0081] Next, as shown in drawing 2 (C), 600-degree-C heat-treatment of 12 hours is added in an inert atmosphere. nickel which exists in the polish recon film 507 by this heat treatment will move, and as an arrow head finally shows all for almost, it will be captured to the Lynn addition fields 508a and 508b. This is considered to be a phenomenon by the gettering effectiveness of the metallic element (this example nickel) by Lynn.

[0082] The concentration of nickel which remains into the polish recon film 509 according to this process is reduced by even 2×10^{17} atoms/cm³ at least with the measured value by SIMS (mass secondary ion analysis). although nickel is a lifetime killer for a semi-conductor, if until reduction is carried out to this extent, it will not have a bad influence on a TFT property at all. Moreover, since most of this concentration is the measurement limitation of the present SIMS analysis, it is thought that it is actual still lower concentration (three or less 2×10^{17} atoms/cm).

[0083] In this way, the polish recon film 509 reduced by even the level using a catalyst to which it crystalizes and the catalyst does not give trouble to actuation of TFT is obtained. Then, the barrier layers 510–513 using this polish recon film 509 are formed according to a patterning process. In addition, it is good at this time to form the marker for performing mask alignment in next patterning using the above-mentioned polish recon film. (Drawing 2 (D))

[0084] Next, as shown in drawing 2 (E), the nitriding silicon oxide film of 50nm thickness is formed by the plasma-CVD method, 950-degree-C heat-treatment of 1 hour is added in an oxidizing atmosphere on it,

and a thermal oxidation process is performed. In addition, an oxygen ambient atmosphere is sufficient as an oxidizing atmosphere, and the oxygen ambient atmosphere which added the halogen is sufficient as it. [0085] At this thermal oxidation process, oxidation advances by the interface of a barrier layer and the above-mentioned nitriding silicon oxide film, the polish recon film of about 15nm thickness oxidizes, and the silicon oxide film of about 30nm thickness is formed. That is, the gate dielectric film 514 of 80nm thickness with which it comes to carry out the laminating of the silicon oxide film of 30nm thickness and the nitriding silicon oxide film of 50nm thickness is formed. Moreover, the thickness of barrier layers 510-513 is set to 30nm according to this thermal oxidation process.

[0086] Next, as shown in drawing 3 (A), the resist mask 515 is formed and the impurity element (henceforth p mold impurity element) which gives p mold through gate dielectric film 514 is added. Boron or a gallium can be used for the element and type target which belong to 13 groups typically as a p mold impurity element. This process (it is called a channel dope process) is a process for controlling the threshold electrical potential difference of TFT.

[0087] In addition, in this example, boron is added by the ion doping method which carried out plasma excitation without carrying out mass separation of the diboron hexahydride (B_2H_6). Of course, the ion implantation method for performing mass separation may be used. The impurity ranges 516-518 which contain boron according to this process by the concentration of $1 \times 10^{15} - 1 \times 10^{18}$ atoms/cm³ (typically $5 \times 10^{16} - 5 \times 10^{17}$ atoms/cm³) are formed.

[0088] Next, as shown in drawing 3 (B), the resist masks 519a and 519b are formed, and the impurity element (henceforth n mold impurity element) which gives n mold through gate dielectric film 514 is added. In addition, Phosphorus or arsenic can be used for the element and type target which belong to 15 groups typically as an n mold impurity element. In addition, in this example, Phosphorus is added by the concentration of 1×10^{18} atoms/cm³ using the plasma doping method which carried out plasma excitation without carrying out mass separation of the phosphoretted hydrogen (PH_3). Of course, the ion implantation method for performing mass separation may be used.

[0089] In n mold impurity ranges 520 and 521 formed of this process, a dose is adjusted so that n mold impurity element may be contained by the concentration of $2 \times 10^{16} - 5 \times 10^{19}$ atoms/cm³ (typically $5 \times 10^{17} - 5 \times 10^{18}$ atoms/cm³).

[0090] Next, as shown in drawing 3 (C), the activation process of added n mold impurity element and p mold impurity element is performed. Although it is not necessary to limit an activation means, since gate dielectric film 514 is formed, the furnace annealing treatment using an electric heat furnace is desirable. Moreover, since the damage may be given to the barrier layer / gate-dielectric-film interface of the part which serves as a channel formation field at the process of drawing 6 (A), it is desirable to heat-treat at as high temperature as possible.

[0091] Since heat-resistant high glass ceramics are used in the case of this example, the furnace annealing treatment of 800-degree-C 1 hour performs an activation process. In addition, you may oxidize thermally by making a processing ambient atmosphere into an oxidizing atmosphere, and may heat-treat by the inert atmosphere.

[0092] The boundary section (joint) with the field (p mold impurity range formed at the process of drawing 3 R> 3 (A)) which has not added n mold impurity element which exists in the edge of n mold impurity ranges 520 and 521, i.e., the perimeter of n mold impurity ranges 520 and 521, according to this process becomes clear. This means that a LDD field and a channel formation field can form a very good joint, when TFT is completed behind.

[0093] Next, patterning of the electric conduction film of 200-400nm thickness is formed and carried out, and the gate electrodes 522-525 are formed. In addition, although a gate electrode may be formed by the electric conduction film of a monolayer, it is desirable to consider as cascade screens, such as a bilayer and three layers, if needed. The electric conduction film well-known as an ingredient of a gate electrode can be used. (Drawing 3 (D))

[0094] Specifically A tantalum (Ta), titanium (Ti), molybdenum (Mo), A tungsten (W), chromium (Cr), the

film that becomes by the element chosen from the silicon (Si) which has conductivity, or the film (typical -- the tantalum nitride film and the nitriding tungsten film --) which becomes with the nitride of said element. The titanium nitride film, the alloy film (typically a Mo-W alloy, a Mo-Ta alloy) which combined said element, or the silicide film (typically tungsten silicide film, titanium silicide film) of said element can be used. Of course, it may use by the monolayer, or a laminating may be carried out and you may use. [0095] In this example, the cascade screen which becomes by the nitriding tungsten (WN) film of 50nm thickness and the tungsten (W) film of 350nm thickness is used. What is necessary is just to form this by the spatter. Moreover, if inert gas, such as Xe and Ne, is added as sputtering gas, film peeling by stress can be prevented.

[0096] Moreover, at this time, the gate electrodes 523 and 525 are formed so that it may lap on both sides of gate dielectric film 514 with a part of n mold impurity ranges 520 and 521, respectively. This overlapping part serves as a LDD field which lapped with the gate electrode behind. In addition, although the gate electrode 524 is visible to two in a cross section, it is connected electrically in practice.

[0097] Next, as shown in drawing 4 (A), n mold impurity element (this example Lynn) is added in self align by using the gate electrodes 522-525 as a mask. In this way, in the impurity ranges 526-532 formed, it adjusts so that Lynn may be added by the concentration of $1/2 - 1/10$ of n mold impurity ranges 520 and 521 (typically $1/3 - 1/4$). Specifically, the concentration of $1 \times 10^{16} - 5 \times 10^{18}$ atoms/cm³ (typically $3 \times 10^{17} - 3 \times 10^{18}$ atoms/cm³) is desirable.

[0098] Next, as shown in drawing 4 (B), the resist masks 533a-533d are formed for a gate electrode etc. in a wrap form, and the impurity ranges 534-540 which add n mold impurity element (this example Lynn), and include Lynn in high concentration are formed. It carries out by the ion doping method for having used phosphoretted hydrogen (PH₃) also here, and the concentration of Lynn of this field is adjusted so that it may become $1 \times 10^{20} - 1 \times 10^{21}$ atoms/cm³ (typically $2 \times 10^{20} - 5 \times 10^{20}$ atoms/cm³).

[0099] Although the source field or drain field of the n channel mold TFT is formed of this process, TFT for switching leaves a part of n mold impurity ranges 529-531 formed at the process of drawing 4 (A). This left-behind field is equivalent to the LDD fields 15a-15d of TFT for switching in drawing 1.

[0100] Next, as shown in drawing 4 (C), the resist masks 533a-533d are removed, and the resist mask 541 is newly formed. And p mold impurity element (this example boron) is added, and the impurity ranges 542 and 543 which contain boron in high concentration are formed. Here, boron is added so that it may become $3 \times 10^{20} - 3 \times 10^{21}$ atoms/cm³ (typically $5 \times 10^{20} - 1 \times 10^{21}$ atoms/cm³ NO) concentration by the ion doping method for having used diboron hexahydride (B₂H₆).

[0101] In addition, although Lynn is already added by impurity ranges 542 and 543 by the concentration of $1 \times 10^{16} - 5 \times 10^{18}$ atoms/cm³, the boron added here is added by the concentration of at least 3 times or more. Therefore, it is completely reversed to P type, and the impurity range of n mold currently formed beforehand functions as an impurity range of P type.

[0102] Next, as shown in drawing 4 (D), after removing the resist mask 541, the 1st interlayer insulation film 544 is formed. What is necessary is just to use the cascade screen which used the insulator layer containing silicon by the monolayer as the 1st interlayer insulation film 544, or was combined in it. Moreover, thickness is just 400nm - 1.5 micrometers. In this example, it considers as the structure which carried out the laminating of the oxidation silicon film of 800nm thickness on the nitriding oxidation silicon film of 200nm thickness.

[0103] Then, n mold or p mold impurity element added by each concentration is activated. As an activation means, the furnace annealing method is desirable. In this example, 550 degrees C and heat treatment of 4 hours are performed among nitrogen-gas-atmosphere mind in an electric heat furnace.

[0104] Furthermore, in the ambient atmosphere containing 3 - 100% of hydrogen, heat treatment of 1 - 12 hours is performed at 300-450 degrees C, and a hydrogen treating is performed. This process is a process which carries out hydrogen termination of the azygos joint hand of the semi-conductor film by the hydrogen excited thermally. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed.

[0105] In addition, a hydrogen treating may be put in while forming the 1st interlayer insulation film 544. That is, after forming the nitriding oxidation silicon film of 200nm thickness, a hydrogen treating may be performed as mentioned above, and it may remain after that, and the oxidation silicon film of 800nm thickness may be formed.

[0106] Next, as shown in drawing 5 (A), a contact hole is formed to the 1st interlayer insulation film 544, and source wiring 545–548 and the drain wiring 549–551 are formed. In addition, in this example, it considers as the cascade screen of the three-tiered structure which carried out the aluminum film which contains [this electrode] 100nm and titanium for the titanium film by 300nm, and carried out continuation formation of the 150nm of the titanium film by the spatter. Of course, other electric conduction film is sufficient.

[0107] Next, the 1st passivation film 552 is formed by the thickness of 50–500nm (typically 200–300nm). In this example, the nitriding silicon oxide film of 300nm thickness is used as the 1st passivation film 552. A silicon nitride film may be substituted for this.

[0108] At this time, it is effective to perform plasma treatment using the gas which contains H₂ and NH₃ grade hydrogen in advance of formation of the nitriding silicon oxide film. The membraneous quality of the 1st passivation film 552 is improved because the hydrogen excited by this pretreatment heat-treats by supplying the 1st interlayer insulation film 544. Since the hydrogen added by the 1st interlayer insulation film 544 at it and coincidence is spread in a lower layer side, a barrier layer can be hydrogenated effectively.

[0109] Next, as shown in drawing 5 (B), the 2nd interlayer insulation film 553 which consists of organic resin is formed. As organic resin, polyimide, an acrylic, BCB (benz-cyclo-butene), etc. can be used. Since especially the 2nd interlayer insulation film 553 needs to carry out flattening of the level difference which TFT forms, its acrylic film excellent in surface smoothness is desirable. At this example, the acrylic film is formed by the thickness of 2.5 micrometers.

[0110] Next, the contact hole which reaches the drain wiring 551 is formed in the 2nd interlayer insulation film 553 and the 1st passivation film 552, and the pixel electrode 554 is formed. In this example, the aluminium alloy film (aluminum film containing 1wt% titanium) of 200nm thickness is formed as a pixel electrode 554.

[0111] Next, the insulator layer (this example oxidation silicon film) containing silicon is formed in the thickness of 500nm, opening is formed in the location corresponding to the pixel electrode 554, and the 3rd interlayer insulation film 555 is formed. In case opening is formed, it can consider as the side attachment wall of a taper configuration easily by using the wet etching method. If the side attachment wall of opening is not fully gently-sloping, degradation of EL layer resulting from a level difference will pose a remarkable problem.

[0112] Next, continuation formation of cathode (MgAg electrode) 556 and the EL layer 557 is carried out without carrying out atmospheric-air release using a vacuum deposition method. In addition, what is necessary is just to set to 80–200nm (typically 100–120nm) thickness whose thickness of cathode 556 is 180–300nm (typically 200–250nm) and the EL layer 557.

[0113] At this process, cathode 556 is first formed one by one to the pixel corresponding to red, the pixel which corresponds green, and the pixel which corresponds blue. At this time, if patterning of the cathode 556 is carried out, atmospheric-air release will have to be carried out, and continuation formation with EL layer formed in a degree will become impossible. Therefore, as for cathode 556, it is desirable to patternize physically with the vacuum deposition method which used the metal mask etc. at the time of membrane formation.

[0114] And the EL layer 557 which emits light in each color with a vacuum deposition method in a form which covers the cathode 556 established in each pixel is formed. however, the ** which does not use a photolithography technique since EL layer is lacking in the resistance over a solution -- each color -- it must form individually. Then, it hides except a desired pixel using a metal mask etc., and forms alternatively.

[0115] That is, the mask which hides except [all] the pixel corresponding to red first is set, and EL layer and cathode of red luminescence are alternatively formed using the mask. Subsequently, the mask which hides except [all] the pixel which corresponds green is set, and EL layer and cathode of green luminescence are alternatively formed using the mask. Subsequently, the mask which hides except [all] the pixel which corresponds blue similarly is set, and EL layer and cathode of blue luminescence are alternatively formed using the mask. In addition, the same mask may be used about although it has indicated that a mask which is altogether different here is used.

[0116] It becomes possible to form continuously without carrying out atmospheric-air release of the formation approach which is patternized using a vacuum deposition method at the time of membrane formation like this example, then cathode 556 and the EL layer 557, and the luminous efficiency of an EL element can be raised.

[0117] In addition, an ingredient well-known as an EL layer 557 can be used. As a well-known ingredient, when driver voltage is taken into consideration, it is desirable to use an organic material. For example, what is necessary is just to let 4 layer structures which become in a hole-injection layer, an electron hole transportation layer, a luminous layer, and an electron injection layer be EL layers. Moreover, although this example shows the example which used the MgAg electrode as cathode of an EL element, you may be other well-known ingredients.

[0118] Next, the anode plate 558 which covers the EL layer 557 and becomes by the transparence electric conduction film is formed. In this example, the indium oxide tin (ITO) film is formed in the thickness of 110nm, patterning is performed, and it considers as an anode plate. Moreover, the transparence electric conduction film and tin oxide which mixed 2 - 20% of zinc oxide (ZnO) may be used for indium oxide.

[0119] The 2nd passivation film 559 which becomes the last with a silicon nitride film is formed in the thickness of 300nm. The EL layer 557 is protected from moisture etc. with this 2nd passivation film 559. Moreover, the role which misses the heat generated in the EL layer 557 is also played.

[0120] In this way, the active-matrix mold EL display of structure as shown in drawing 5 (C) is completed. In addition, the making process of this example is only an example. For example, although the semi-conductor film which serves as a barrier layer with the means indicated by JP,10-247735,A is formed in this example, other well-known means may be used.

[0121] Moreover, arrangement of a LDD field etc. does not need to show a desirable example and does not need to limit it to the structure of this example. However, also when using the polish recon film as a barrier layer, raising dependability and employing the advantage using the polish recon film as a barrier layer efficiently, the structure of this example is desirable.

[0122] [Example 2] When completing to drawing 5 (C) according to an example 1, it is desirable to carry out packaging (enclosure) by housing material, such as airtight high protection films (a laminate film, ultraviolet-rays hardening resin film, etc.) and a sealing can made from the ceramics, so that it may not be further put to the open air. In that case, the interior of housing material is made into an inert atmosphere, or the dependability (life) of EL layer improves by arranging a hygroscopic material (for example, barium oxide) inside.

[0123] Moreover, if processing of packaging etc. raises airtightness, the connector (flexible print circuit: FPC) for connecting the terminal and external signal terminal which were taken about from the component formed on the substrate or the circuit will be attached, and it will complete as a product. EL indicating equipment changed into such a condition that it can ship is called EL module in this specification.

[0124] The configuration of EL module of this invention is explained here using drawing 7 R> 7 (A) and (B). On the substrate 701, the pixel section 702, the gate signal side drive circuit 703, the data signal side drive circuit 704, and the signal-processing section (circuit groups other than drive circuits, such as a subharmonics circuit and a booster circuit) 705 are formed. In this invention, the gate signal side drive circuit 703, the data signal side drive circuit 704, or the signal-processing section 705 is formed in the

interior of the pixel section (inside). Moreover, although not illustrated, various wiring from each drive circuit or the signal-processing section results in FPC706, and is connected to an external instrument. [0125] As the pixel section is surrounded at this time, the housing material 707 is formed. In addition, outside the pixel section 702, rather than ** (height), inside dimension (depth) is the configuration or the sheet configuration of having a large crevice, and the housing material 707 is formed by the transparent member.

[0126] Moreover, as shown in drawing 7 (B), as the housing material 707 forms a closed space 709 in collaboration with a substrate 701, it fixes to a substrate 701 with adhesives 708. At this time, an EL element will be in the condition of having been completely enclosed with said closed space, and will be completely intercepted from the open air. In addition, two or more housing material 707 may be formed.

[0127] Moreover, insulating matter of the quality of the material of the housing material 707, such as glass and a polymer, is desirable. For example, amorphous glass (borosilicate salt glass, quartz, etc.), crystallization glass, ceramic glass, organic system resin (acrylic resin, styrene resin, polycarbonate system resin, epoxy system resin, etc.), and silicone system resin are mentioned.

[0128] Moreover, the quality of the material of adhesives 708 can use adhesives, such as epoxy system resin and acrylate system resin. Furthermore, thermosetting resin and a photo-setting resin can also be used as adhesives. However, it is required to be the quality of the material which does not penetrate oxygen and moisture as much as possible.

[0129] Furthermore, as for the opening 709 between the housing material 707 and a substrate 701, it is desirable to be filled up with inert gas (an argon, helium, nitrogen, etc.). Moreover, it is possible not only gas but to use inactive liquids (representing [by the perfluoro alkane] liquefied fluorination carbon etc.). It is good with an ingredient which is used by JP,8-78519,A about the inactive liquid.

[0130] Moreover, it is also effective to prepare a drying agent in an opening 709. An ingredient which is indicated by JP,9-148066,A as a drying agent can be used. What is necessary is typically, just to use the barium oxide.

[0131] Moreover, two or more pixels which have the EL element isolated separately are prepared in the pixel section, and they all have the anode plate 710 as a common electrode. An anode plate 710 is connected to the I/O wiring 713 in the field shown by 711 through the connection wiring 712 which becomes with the same ingredient as a pixel electrode. The I/O wiring 713 is wiring for giving a predetermined electrical potential difference to an anode plate 710, and is connected to FPC706 through the conductive paste 714.

[0132] Here explains the making process for realizing contact structure in a field 711 using drawing 8.

[0133] First, the condition of drawing 5 (A) is acquired according to the process of an example 1. At this time, in the contact section (field shown by 711 in drawing 7 (B)) in a substrate edge, the 1st interlayer insulation film 544 and gate dielectric film 514 are removed, and the I/O wiring 713 is formed on it. Of course, it is formed in the source wiring, drain wiring, and coincidence of drawing 5 (A). (Drawing 8 (A))

[0134] Next, in case the 2nd interlayer insulation film 553 and the 1st passivation film 552 are etched in drawing 5 (B), the field shown by 801 is removed and an aperture 802 is formed. And as an aperture 802 is covered, the connection wiring 712 is formed. Of course, this connection wiring 712 is formed in the pixel electrode 554 and coincidence in drawing 5 (B). (Drawing 8 (B))

[0135] In the pixel section, the formation process (formation process of the 3rd interlayer insulation film, cathode, and EL layer) of an EL element is performed in this condition. Under the present circumstances, in the field shown in drawing 8, the 3rd interlayer insulation film and an EL element are made not to be formed using a mask etc. And after forming the EL layer 557, an anode plate 558 is formed using another mask. Thereby, an anode plate 558 and the I/O wiring 713 are electrically connected through the connection wiring 712. Furthermore, the 2nd passivation film 559 is formed and the condition of drawing 8 (C) is acquired.

[0136] Contact structure of the field shown by 711 of drawing 7 (B) according to the above process is realized. And the I/O wiring 713 is a clearance (however, it fills up with adhesives 708.) between the

housing material 707 and a substrate 701. That is, the thickness which can fully carry out flattening of the level difference of I/O wiring is required for adhesives 708. It passes and connects with FPC706. In addition, since the part in which adhesives 708 are formed is pressed with the housing material 707 and a substrate 701, if a component and a circuit exist, it may be destroyed, but it will be satisfactory, if it becomes as wiring passes like drawing 7 (B).

[0137] In addition, the production approach of the active-matrix mold EL display shown in this example should just follow an example 1.

[0138] [Example 3] This example explains the cross-section structure of the pixel section in the active-matrix mold EL display of this invention using drawing 10. In addition, in drawing 10, the same sign as drawing 1 is quoted about the same part as drawing 1.

[0139] In drawing 10, 1001 is a current supply source line and is connected to the source field of TFT for current control (not shown). Moreover, 1002 is data wiring and is connected to the source field of TFT for switching (not shown).

[0140] Between the pixels which adjoin in a direction parallel to gate wiring, the above-mentioned current supply source line 1001 and the data wiring 1002 exist. Therefore, in order to connect mutually TFT for drive circuits (TFT which forms a part of drive circuit) formed in a different pixel, the current supply source line 1001 and the data wiring 1002 will be straddled.

[0141] In this case, an approach as shown in this example is mentioned. Blindness in one eye is a method which forms the 1st connection wiring 1003 in the gate electrodes 39 and 43 and coincidence, and passes through the bottom of data wiring etc. with this 1st connection wiring 1003. In this example, in order to connect the current supply source line 1001 and CMOS-circuit 1000b, this method is used.

[0142] Moreover, the second forms the 2nd connection wiring 1004 and they are a method over the current supply source line 1001 and/or the data wiring 1002 by this 1st connection wiring 1004. In this example, in order to connect CMOS-circuit 1000a and CMOS-circuit 1000b, this method is used.

[0143] In this case, what is necessary is just to form not a pixel electrode but the 2nd connection wiring 1004 in the process of drawing 5 (B), after opening a contact hole in the 2nd interlayer insulation film 553. And what is necessary is to form a wrap interlayer insulation film for the 2nd connection wiring 1004 next, to open a contact hole and just to form a pixel electrode.

[0144] In addition, you may be a separate layer although the current supply source line 1001 and the data wiring 1002 are formed in the same layer in this example. Namely, what is necessary is just to form the current supply source line 1001 or the data wiring 1002 in the layer of the 2nd connection wiring 1004 of drawing 10. In that case, what is necessary is just to form the 2nd connection wiring in the same layer as gate wiring, in order to exceed a current supply source line and data wiring.

[0145] As mentioned above, in this example, the description is in the point that this overcomes the above-mentioned current supply source line and data wiring, using connection wiring formed in a different layer from a current supply source line and data wiring. Wiring prepared in the layer between the same wiring as gate wiring or data wiring, and a pixel electrode as connection wiring of this example can be used.

[0146] In addition, the structure of this example is easily producible if an example 1 is referred to. Moreover, it is possible to carry out combining the configuration of this example to EL display shown in the example 2.

[0147] [Example 4] This example explains the example at the time of forming a drive circuit in a pixel using the configuration of an example 3. Specifically, the example in which the shift register was formed to the interior of the pixel section (inside) is shown.

[0148] The plan and drawing 11 (B) which expanded 1 pixel in which drawing 11 (A) has the pixel section are the circuit diagram. TFT201 for switching and TFT202 for current control are equivalent to TFT of the same sign of drawing 1. 1101 is retention volume and plays the role which carries out one-frame period maintenance of the electrical potential difference concerning the gate of TFT202 for current control. However, if the OFF state current of TFT is reduced as much as possible by making TFT201 for

switching into multi-gate structure, it is also possible to omit retention volume 1101.

[0149] In this example, this retention volume 1101 is formed between the gate electrode of TFT202 for current control, and the current supply source line 1102. Of course, capacity may be formed between the source field of TFT for current control, and the gate electrode (gate wiring is also included) of TFT202 for current control.

[0150] Moreover, in the pixel, some shift registers (flip-flop circuit) are shown, and one flip-flop circuit is formed by three, an inverter 1103 and clocked inverters 1104 and 1105. As for the actual shift register, this flip-flop circuit is connected to the serial.

[0151] Moreover, the cathode signal with which a gate signal and V_s are given to a source signal (data signal), and V_g gives V_{dd1} (current supply source line 1102) to the cathode of EL element 203, and V_{ck} of a clock signal (what has attached the bar on V_{ck} means the reversal signal of V_{ck}), and V_{dd2} are [the forward side signal of a clocked inverter and V_{dd3}] the negative side signals of a clocked inverter. In addition, touch-down potential is given to V_{dd1} in this example.

[0152] With structure like this example, one flip-flop circuit is formed in 1 pixel, and it is prepared in the adjoining pixel, and connects with an another flip-flop circuit and an another serial. And what is necessary is just to use the connection wiring 1106-1115 as shown by 1004 in drawing 10, when V_{ck} etc. straddles between pixels.

[0153] In addition, the connection wiring 1114 and 1115 may be formed in data wiring, a current supply source line, and coincidence. Namely, if it is not the same layer in case it crosses, when it will be satisfactory and a certain wiring will straddle other wiring, an operation person should just design suitably in which layer other wiring is formed.

[0154] In addition, it combines with any configuration of examples 1-3 freely, and the configuration of this example can be carried out.

[0155] [Example 5] This example explains an example at the time of making pixel structure of a active-matrix mold EL display into structure which is different in an example 4. Specifically in the pixel structure shown in drawing 11 R> 1, an example which shall be different in the ingredient of gate wiring is shown in drawing 12. In addition, only a part which is different since drawing 12 is almost the same as the structure of drawing 11 is explained.

[0156] In addition, in this example, the OFF state current is set to 10 or less (preferably 1 or less pA) pAs by making TFT for switching into triple gate structure. Therefore, the retention volume 1101 shown in drawing 11 R> 1 is omitted.

[0157] In drawing 12, 61a-61c are the gate electrode of an example 1, and the gate electrode similarly formed by the cascade screen of the nitriding tungsten film and the tungsten film. Although these are good also as a pattern isolated respectively as shown in drawing 12, and it is good also as a pattern connected electrically respectively, when formed, it is in floating electrically.

[0158] As gate electrodes 61a-61c, other electric conduction film, such as a cascade screen of the tantalum nitride film and the tantalum film and alloy film of molybdenum and a tungsten, may be used. However, it is desirable that it is the film excellent in the workability which can form the detailed line breadth of 3 micrometers or less (preferably 2 micrometers or less). Moreover, it is desirable that it is not the film containing an element which diffuses gate dielectric film and invades into a barrier layer.

[0159] on the other hand -- as the gate wiring 62 -- the gate electrodes 61a-61c -- low -- the alloy film which uses as a principal component the electric conduction film [****], the alloy film which uses aluminum as a principal component typically, and copper is used. Especially detailed workability is not required of the gate wiring 62. Moreover, since it does not lap with a barrier layer, even if aluminum and copper which are easy to diffuse the inside of an insulator layer are included, a problem does not become.

[0160] What is necessary is just to perform an activation process, before forming the 1st interlayer insulation film 544 in the process of drawing 4 R> 4 of an example 1 (D) when considering as the structure of this example. In this case, although heat treatment will be added where it is exposed of the

gate electrodes 61a-61c, to the part which heat-treats by the ambient atmosphere inactive enough and the inert atmosphere whose oxygen density is 1 ppm or less preferably, the gate electrodes 61a-61c do not oxidize. As [cover / namely, / by the insulator layer (oxide film) / the difficulty of that resistance also increases by oxidation thru/or removal]

[0161] And what is necessary is to form the electric conduction film which uses aluminum or copper as a principal component, and just to form the gate wiring 62 by patterning, if an activation process is completed. At this time, good ohmic contact is secured in the part of the gate electrodes 61a-61c and the gate wiring 62 which contacts, and it becomes possible to apply predetermined gate voltage to the gate electrodes 61a-61c.

[0162] It is very effective to reduce wiring resistance of gate wiring as much as possible according to structure like this example, when reducing wiring delay. In addition, the pixel structure shown in drawing 12 in this example does not limit this invention at all, and is only a desirable example. Moreover, it combines with any configuration of examples 1-3 freely, and this example can be carried out.

[0163] [Example 6] In the structure shown in drawing 1, it is effective to use the high ingredient of the heat dissipation effectiveness as substrate film 12 prepared between a barrier layer and a substrate 11. Especially, in order that TFT for current control may pass comparatively many currents over long duration, it is easy to generate heat, and degradation by self-generation of heat can pose a problem. In such a case, the substrate film can control the heat deterioration of TFT by having the heat dissipation effectiveness like this example.

[0164] The insulator layer which contains at least one element chosen from B (boron), C (carbon), and N (nitrogen) and at least one element chosen from aluminum (aluminum), Si (silicon), and P (Lynn) as a translucency ingredient with the heat dissipation effectiveness is mentioned.

[0165] For example, it is possible to use the nitride of the aluminum represented by aluminum nitride (Al_xNy), the carbide of the silicon represented by silicon carbide (Si_xCy), the nitride of the silicon represented by silicon nitride (Si_xNy), the nitride of the boron represented by boron nitride (B_xNy), and the phosphide of the boron represented by boron phosphide (B_xPy). Moreover, the oxide of the aluminum represented by the aluminum oxide (Al_xO_y) is excellent in translucency, and thermal conductivity is $20Wm^{-1}K^{-1}$, and it can be said to be one of the desirable ingredients. In addition, in the above-mentioned translucency ingredient, x and y are the integers of arbitration.

[0166] Moreover, other elements are also combinable with the above-mentioned compound. For example, it is also possible to add nitrogen to an aluminum oxide and to use the nitriding aluminum oxide shown by AlN_xO_y . There is effectiveness which prevents invasion of not only the heat dissipation effectiveness but moisture, alkali metal, etc. also in this ingredient. In addition, in the above-mentioned nitriding aluminum oxide, x and y are the integers of arbitration.

[0167] Moreover, the ingredient indicated by JP,62-90260,A can be used. that is, the insulator layer (however, M -- rare earth elements -- at least -- a kind and at least one element preferably chosen from Ce (cerium), Yb (ytterbium), Sm (samarium), Er (erbium), Y (yttrium), La (lanthanum), Gd (gadolinium), Dy (dysprosium), and Nd (neodmium)) containing Si, aluminum, N, O, and M can also be used. There is effectiveness which prevents invasion of not only the heat dissipation effectiveness but moisture, alkali metal, etc. also in these ingredients.

[0168] Moreover, the carbon film which contains at least a diamond thin film or the amorphous carbon film (called what has a near property, diamond-like carbon, etc. to especially a diamond.) can also be used. These have very high thermal conductivity and are very effective as a heat dissipation layer. However, since brown will be worn and permeability will fall if thickness becomes thick, it is desirable to use by as thin thickness (preferably 5-100nm) as possible.

[0169] Moreover, although the thin film which consists of an ingredient with the above-mentioned heat dissipation effectiveness can also be used alone, the laminating of these thin films and the insulator layer containing silicon may be carried out, and they may be used.

[0170] In addition, it combines with any configuration of examples 1-5 freely, and the configuration of

this example can be carried out.

[0171] [Example 7] Although [an example 1] it is desirable to use an organic electroluminescence ingredient as an EL layer, even if this invention uses inorganic EL ingredient, it can be carried out. However, since driver voltage is very high, the present inorganic EL ingredient must use TFT which has the proof-pressure property that such driver voltage can be borne.

[0172] Or if inorganic EL ingredient with prospective still lower driver voltage is developed, applying to this invention is possible.

[0173] Moreover, the configuration of this example can be freely combined with any configuration of examples 1-6.

[0174] [Example 8] Since the active-matrix mold EL indicating equipment (EL module) formed by carrying out this invention is a spontaneous light type, it is excellent in the visibility in a bright location compared with the liquid crystal display. Therefore, this invention can be carried out to the EL display (the display display incorporating EL module is pointed out) of a direct viewing type. As an EL display, a personal computer monitor, the monitor for TV broadcast reception, an advertising display monitor, etc. are mentioned.

[0175] Moreover, this invention can be carried out to all the electronic instruments that include a display display as components also including an above-mentioned EL display.

[0176] As such an electronic instrument, the picture reproducer (equipment equipped with the display which specifically reproduces record media, such as a compact disk (CD), a laser disc (trademark) (LD), or a digital versatile disc (DVD), and can display the image) equipped with an EL display, a video camera, a digital camera, head installation mold displays (head mount display etc.), car navigation, a personal computer, Personal Digital Assistants (a mobile computer, a cellular phone, or digital book), and a record medium etc. is mentioned. The example of these electronic instruments is shown in drawing 13.

[0177] Drawing 13 (A) is a personal computer and contains a body 2001, a case 2002, a display 2003, and a keyboard 2004. This invention can be used for a display 2003.

[0178] Drawing 13 (B) is a video camera and contains a body 2101, a display 2102, the voice input section 2103, the actuation switch 2104, a dc-battery 2105, and the television section 2106. This invention can be used for a display 2102.

[0179] Drawing 13 (C) is a part of EL display (right one side) of a head installation mold, and contains a body 2301, a signal cable 2302, the head fixed band 2303, the display monitor 2304, optical system 2305, and a display 2306. This invention can be used for a display 2306.

[0180] drawing 13 -- (-- D --) -- a record medium -- having had -- picture reproducer (specifically DVD regenerative apparatus) -- it is -- a body -- 2401 -- record media (CD, LD, or DVD) -- 2402 -- actuation -- a switch -- 2403 -- a display -- (-- a --) -- 2404 -- a display -- (-- b --) -- 2405 -- containing . This invention can be used for these displays (a) and (b), although a display (a) mainly displays image information and a display (b) mainly displays text. In addition, this invention can be used for CD regenerative apparatus, a game device, etc. as picture reproducer equipped with the record medium.

[0181] Drawing 13 (E) is a pocket mold (mobile) computer, and contains a body 2501, the camera section 2502, the television section 2503, the actuation switch 2504, and a display 2505. This invention can be used for a display 2505.

[0182] Drawing 13 (F) is an EL display and contains a case 2601, susceptor 2602, and a display 2603. This invention can be used for a display 2603. Since the angle of visibility of an EL display is large, when it big-screen-izes compared with a liquid crystal display, it is advantageous, and it is advantageous in the display of 10 inches or more (30 inches or more of vertical angles [Especially]) of vertical angles.

[0183] Moreover, if the luminescence brightness of EL ingredient will become high in the future, it will also become possible to carry out expansion projection of the light containing the outputted image information with a lens etc., and to use for the projector of a front mold or a rear mold.

[0184] As mentioned above, the applicability of this invention is very wide, and applying to the electronic

instrument of all fields is possible. Moreover, even if the electronic instrument of this example uses the configuration which consists of combination like an example 1 - 7 throats, it is realizable.

[0185]

[Effect of the Invention] By carrying out this invention, in the active-matrix mold EL display which carries out actuation which outputs light to a substrate and the opposite side, it becomes possible to form a drive circuit and other signal-processing sections in the interior of the pixel section (the same field as the pixel section), and the miniaturization of a active-matrix mold EL display is realized.

[0186] Moreover, the reliable active-matrix mold EL display is realized because combine the TFT itself formed on a substrate with the engine performance which each circuit or a component needs and it arranges TFT of the optimal structure.

[0187] And by providing such a active-matrix mold EL indicating equipment as a display display, it is small and it becomes possible to produce a reliable highly efficient electronic instrument.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the cross-section structure of EL display.

[Drawing 2] Drawing showing the making process of EL display.

[Drawing 3] Drawing showing the making process of EL display.

[Drawing 4] Drawing showing the making process of EL display.

[Drawing 5] Drawing showing the making process of EL display.

[Drawing 6] Drawing for explaining the output direction of the light of EL display.

[Drawing 7] Drawing showing the appearance of EL module.

[Drawing 8] Drawing showing the making process of contact structure.

[Drawing 9] Drawing showing the configuration of the pixel section of EL display.

[Drawing 10] Drawing showing the cross-section structure of EL display.

[Drawing 11] Drawing showing the top-face structure of the pixel section of EL display.

[Drawing 12] Drawing showing the top-face structure of the pixel section of EL display.

[Drawing 13] Drawing showing the example of an electronic instrument.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-76868

(P2001-76868A)

(43) 公開日 平成13年3月23日 (2001.3.23)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 5 B 33/08		H 0 5 B 33/08	
G 0 9 F 9/00	3 4 8	G 0 9 F 9/00	3 4 8 C
	9/30		9/30 3 3 8
	3 6 5		3 6 5 Z
G 0 9 G 3/20	6 2 2	G 0 9 G 3/20	6 2 2 E
審査請求 未請求 請求項の数 7 O L (全 19 頁) 最終頁に続く			

(21) 出願番号 特願2000-194774(P2000-194774)

(22) 出願日 平成12年6月28日 (2000.6.28)

(31) 優先権主張番号 特願平11-182590

(32) 優先日 平成11年6月28日 (1999.6.28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(54) 【発明の名称】 E L 表示装置及び電子装置

(57) 【要約】

【課題】 E L 表示装置及びそれを具備する電子装置のさらなる小型化及び製造コストの低減を課題とする。

【解決手段】 画素部と駆動回路とを同一基板上に有する上面発光型の E L 表示装置において、画素部の内部に形成されるデッドスペース (画素電極の下方) に駆動回路を形成する。これにより駆動回路の専有する領域が画素部の内部に設けられるので従来と同じ画面サイズを得る場合に、1枚の基板からより多くのパネルを切り出すことができる。

(2)

【特許請求の範囲】

【請求項1】同一基板上に画素部と駆動回路とが形成されたEL表示装置であって、前記画素部の内部に前記駆動回路の一部又は全部が形成されていることを特徴とするEL表示装置。

【請求項2】同一基板上に画素部と駆動回路とが形成されたEL表示装置であって、前記駆動回路の一部又は全部は、前記画素部に形成された画素電極の下に形成されていることを特徴とするEL表示装置。

【請求項3】同一基板上に画素部、駆動回路及び信号処理部とが形成されたEL表示装置であって、前記画素部の内部に前記駆動回路の一部若しくは全部又は前記信号処理部の一部若しくは全部が形成されていることを特徴とするEL表示装置。

【請求項4】同一基板上に画素部、駆動回路及び信号処理部とが形成されたEL表示装置であって、前記駆動回路の一部若しくは全部又は前記信号処理部の一部若しくは全部は、前記画素部に形成された画素電極の下に形成されていることを特徴とするEL表示装置。

【請求項5】請求項1乃至請求項4のいずれか一において、前記画素電極はEL素子の陰極と接続されていることを特徴とするEL表示装置。

【請求項6】請求項1乃至請求項4のいずれか一において、前記駆動回路とは少なくともシフトレジスタを含むことを特徴とするEL表示装置。

【請求項7】請求項1乃至請求項6のいずれか一に記載されたEL表示装置を備えたことを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子（半導体薄膜を用いた素子）を基板上に作り込んで形成されたEL（エレクトロルミネッセンス）表示装置及びそのEL表示装置を表示ディスプレイとして有する電子装置（電子デバイス）に関する。

【0002】

【従来の技術】近年、基板上にTFTを形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたTFTは、従来のアモルファスシリコン膜を用いたTFTよりも電界効果移動度（ μ_{FE} ）が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0003】このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られるとして注目されている。

2

【0004】同一基板上に画素部とその画素部を駆動する駆動回路とを有するモノリシック型表示装置では駆動回路が画素部の周辺に形成されるため、画素部のみを基板上に形成するよりも駆動回路の分だけ必要とする基板サイズが大きくなる。従って、駆動回路の専有面積を如何に小さくするかで1枚の基板から切り出せる表示装置の枚数が変わってくる。

【0005】特に、画素部が対角1インチ以下の表示装置になると非常に小さな基板上に駆動回路を搭載しなくてはならず、駆動回路の専有面積が基板サイズに大きく影響を与えてしまう。しかしながら、画素部の大小に拘わらず駆動回路の機能は同じであり、同一機能の回路をより狭い範囲に形成するためには、TFT特性の向上や微細化技術等、様々な要素が律速点となりうる。

【0006】

【発明が解決しようとする課題】本発明は上記問題点を鑑みてなされたものであり、アクティブマトリクス型EL表示装置のさらなる小型化及び製造コストの低減を課題とする。そして、そのようなアクティブマトリクス型EL表示装置を表示用ディスプレイとして具備する電子装置（電子デバイス）のさらなる小型化及び製造コストの低減を課題とする。

【0007】

【課題を解決するための手段】アクティブマトリクス型EL表示装置では、一画素毎にEL素子が設けられている。ここでいうEL素子は、陰極、EL層及び陽極でなる発光素子である。このEL素子の出力光（以下、EL光という）は基板側か基板と反対側かのどちらかに出力される。この様子を図6に示す。

【0008】図6（A）の構造は、EL素子が下から順に、ITO（Indium Tin Oxide）でなる画素電極（陽極）／EL層／MgAg電極（陰極）で形成されている。また、陰極自体は薄いので陰極の機能を保護すると同時に補助するための保護電極（ここではアルミ電極）を設けている。この場合、EL光はTFTが形成された基板側に出力される。従って、画素電極の全面積のうち、その下にTFTや配線のない部分が有効発光領域となる。

【0009】一方、図6（B）の構造は、EL素子が下から順に、アルミ膜でなる画素電極／MgAg電極（陰極）／EL層／ITO電極（陽極）で形成されている。この場合、EL光は画素電極を透過しないので全て基板とは反対側（EL表示装置の上面側）に出力される。従って、画素電極の全面積が有効発光領域となる。

【0010】以上のように、図6（A）の場合には画素電極の下に極力素子や配線を形成しないことが重要である。ところが図6（B）の場合には、画素電極の下にどのようなものが形成されていても関係なく、完全なデッドスペースとなっている。

【0011】本発明の主旨は、図6（B）のような方式

(3)

3

でEL素子を発光させるアクティブマトリクス型EL表示装置において、画素電極の下デッドスペースを有効に活用することを目的とする。具体的には、画素部においてマトリクス状に配列された各画素の画素電極の下に、画素部を駆動するための駆動回路を形成する。さらには、駆動回路だけでなくその他の信号処理部（分周波回路、昇圧回路、 γ 補正回路、メモリ若しくは差動増幅回路など）をも形成しうる。

【0012】即ち、従来、画素部の周辺に設けられていた回路又は素子を、画素部内のデッドスペースに配置し、基板面積の有効活用を図るものである。なお、画素部の周辺に設けられていた素子としてはESD（静電破壊）対策用の保護素子なども含むものとする。

【0013】また、本発明はアクティブマトリクス型EL表示装置のみに適用されるものではなく、同一基板上に駆動回路を有し、画素部が単純マトリクス型であるようなEL表示装置にも適用できる。即ち、画素部においてEL光が基板とは反対側に出力されるEL表示装置であって、且つ、基板上に他の回路又は素子が形成される場合において、本発明は有効である。

【0014】

【発明の実施の形態】まず本発明のアクティブマトリクス型EL表示装置について、断面構造の概略を図1に示す。図1において、11は基板、12は下地となる絶縁膜（以下、下地膜という）である。基板11としてはガラス基板、石英基板、結晶化ガラス基板、セラミックス基板、シリコン基板、金属基板又はプラスチック基板を用いることができる。

【0015】また、下地膜12は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜12としては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ SiO_xN_y ：x、yは任意の整数、で示される）など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

【0016】201はスイッチング用TFT、202は電流制御用TFTであり、ここではどちらもnチャンネル型TFTで形成されている。nチャンネル型TFTの電界効果移動度はpチャンネル型TFTの電界効果移動度よりも大きいので、動作速度が早く大電流を流しやすい。また、同じ電流量を流すにもTFTサイズはnチャンネル型TFTの方が小さくできる。そのため、nチャンネル型TFTを電流制御用TFTとして用いた方が画素電極の下デッドスペースをより有効に活用することができる。

【0017】ただし、本発明において、スイッチング用TFTと電流制御用TFTをnチャンネル型TFTに限定する必要はなく、両方又はどちらか片方にpチャンネル型TFTを用いることも可能である。

4

【0018】スイッチング用TFT201は、ソース領域13、ドレイン領域14、LDD領域15a～15d、分離領域16及びチャネル形成領域17a、17bを含む活性層、ゲート絶縁膜18、ゲート電極19a、19b、第1層間絶縁膜20、ソース配線21並びにドレイン配線22を有して形成される。なお、ゲート絶縁膜18又は第1層間絶縁膜20は基板上の全TFTに共通であっても良いし、回路又は素子に応じて異ならせても良い。

【0019】また、図2に示すスイッチング用TFT201はゲート電極19a、19bが電気的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

【0020】マルチゲート構造はTFTのオフ電流を低減する上で極めて有効であり、スイッチング用TFTのオフ電流を十分に低くすれば、スイッチング用TFTのドレインにコンデンサ（電流制御用TFTのゲート電圧を維持するためのコンデンサ）を設けない構成とすることも可能である。その結果、画素内のデッドスペースのさらなる有効活用が可能となる。

【0021】さらに、スイッチング用TFT201においては、LDD領域15a～15dは、ゲート絶縁膜18を介してゲート電極19a、19bと重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、LDD領域15a～15dの長さ（幅）は0.5～3.5 μm 、代表的には2.0～2.5 μm とすれば良い。

【0022】なお、チャネル形成領域とLDD領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層であり、ゲート電圧が印加されない領域）を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域16（ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域）がオフ電流の低減に効果的である。

【0023】次に、電流制御用TFT202は、ソース領域26、ドレイン領域27、LDD領域28及びチャネル形成領域29を含む活性層、ゲート絶縁膜18、ゲート電極30、第1層間絶縁膜20、ソース配線31並びにドレイン配線32を有して形成される。なお、ゲート電極30はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【0024】スイッチング用TFT201のドレインは電流制御用TFT202のゲートに接続されている。具体的には電流制御用TFT202のゲート電極30はスイッチング用TFT201のドレイン領域14とドレイン配線（接続配線とも言える）22を介して電気的に接

(4)

5

続されている。また、ソース配線31は所定の電圧を供給する電流供給線に接続される。

【0025】電流制御用TFT202はEL素子203に注入される電流量を制御するための素子であるが、EL素子の劣化を考慮するとあまり多くの電流を流すことは好ましくない。そのため、電流制御用TFT202に過剰な電流が流れないように、チャンネル長(L)は長めに設計することが好ましい。望ましくは一画素あたり0.5~2 μ A(好ましくは1~1.5 μ A)となるようにする。

【0026】以上のことを踏まえると、図9に示すように、スイッチング用TFTのチャンネル長をL1(但しL1=L1a+L1b)、チャンネル幅をW1とし、電流制御用TFTのチャンネル長をL2、チャンネル幅をW2とした時、W1は0.1~5 μ m(代表的には0.5~2 μ m)、W2は0.5~10 μ m(代表的には2~5 μ m)とするのが好ましい。また、L1は0.2~18 μ m(代表的には2~15 μ m)、L2は1~50 μ m(代表的には10~30 μ m)とするのが好ましい。但し、本発明は以上の数値に限定されるものではない。

【0027】また、図1に示したEL表示装置は、電流制御用TFT202において、ドレイン領域27とチャンネル形成領域29との間にLDD領域28が設けられ、且つ、LDD領域28がゲート絶縁膜18を挟んでゲート電極30に重なっている領域と重なっていない領域とを有する点にも特徴がある。

【0028】電流制御用TFT202は、EL素子203を発光させるために比較的多くの電流を流すため、ホットキャリア注入による劣化対策を講じておくことが望ましい。また、黒色を表示する際は、電流制御用TFT202をオフ状態にしておくが、その際、オフ電流が高いとききれいな黒色表示ができなくなり、コントラストの低下等を招く。従って、オフ電流も抑える必要がある。

【0029】ホットキャリア注入による劣化に関しては、ゲート電極に対してLDD領域が重なった構造が非常に効果的であることが知られている。しかしながら、LDD領域全体を重ねてしまうとオフ電流が増加してしまうため、本出願人は上記構造に加えてゲート電極に重ならないLDD領域を直列に設けるという新規な構造によって、ホットキャリア対策とオフ電流対策とを同時に解決している。

【0030】この時、ゲート電極に重なったLDD領域の長さは0.1~3 μ m(好ましくは0.3~1.5 μ m)にすれば良い。長すぎると寄生容量を大きくしてしまい、短すぎるとホットキャリアを防止する効果が弱くなってしまふ。また、ゲート電極に重ならないLDD領域の長さは1.0~3.5 μ m(好ましくは1.5~2.0 μ m)にすれば良い。長すぎると十分な電流を流せなくなり、短すぎるとオフ電流を低減する効果が弱くなる。

6

【0031】また、上記構造においてゲート電極とLDD領域とが重なった領域では寄生容量が形成されてしまうため、ソース領域26とチャンネル形成領域29との間には設けない方が好ましい。電流制御用TFTはキャリア(ここでは電子)の流れる方向が常に同一であるので、ドレイン領域側のみにLDD領域を設けておけば十分である。

【0032】但し、電流制御用TFT202の駆動電圧(ソース領域とドレイン領域との間にかかる電圧)が10V以下となるとホットキャリア注入は殆ど問題にならなくなってくるため、LDD領域28を省略することも可能である。その場合、活性層はソース領域26、ドレイン領域27およびチャンネル形成領域29からなる。

【0033】また、流しうる電流量を多くするという観点から見れば、電流制御用TFT202の活性層(特にチャンネル形成領域)の膜厚を厚くする(好ましくは50~100nm、さらに好ましくは60~80nm)ことも有効である。逆に、スイッチング用TFT201の場合はオフ電流を小さくするという観点から見れば、活性層(特にチャンネル形成領域)の膜厚を薄くする(好ましくは20~50nm、さらに好ましくは25~40nm)ことも有効である。

【0034】以上は画素内に設けられたTFTの構造について説明したが、このとき同じ画素内には同時に駆動回路(厳密には駆動回路の一部)も形成される。図1には駆動回路を形成する基本単位となるCMOS回路が図示されている。

【0035】図1においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有するTFTをCMOS回路のnチャンネル型TFT204として用いる。なお、ここでいう駆動回路は、データ信号駆動回路(シフトレジスタ、レベルシフタ、バッファ、ラッチ、D/Aコンバータ、サンプリング回路を含む)、ゲート信号駆動回路(シフトレジスタ、レベルシフタ、バッファを含む)を指す。勿論、他の信号処理回路(分周波回路、昇圧回路、 γ 補正回路、メモリ若しくは差動増幅回路など)を形成することも可能である。

【0036】nチャンネル型204の活性層は、ソース領域35、ドレイン領域36、LDD領域37及びチャンネル形成領域38を含み、LDD領域37はゲート絶縁膜18を挟んでゲート電極39と重なっている。

【0037】ドレイン領域側のみにLDD領域を形成しているのは、動作速度を落とさないための配慮である。また、このnチャンネル型TFT204はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、LDD領域37は完全にゲート電極に重なってしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【0038】また、CMOS回路のpチャンネル型TFT

(5)

7

205は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。従って活性層はソース領域40、ドレイン領域41及びチャネル形成領域42を含み、その上にはゲート絶縁膜18とゲート電極43が設けられる。勿論、nチャネル型TFT204と同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0039】また、nチャネル型TFT204及びpチャネル型TFT205はそれぞれ第1層間絶縁膜20に覆われ、ソース配線44、45が形成される。また、ドレイン配線46によって両者は電氣的に接続される。

【0040】次に、47は第1パッシベーション膜であり、膜厚は10nm~1μm(好ましくは200~500nm)とすれば良い。材料としては、珪素を含む絶縁膜(特に窒化酸化珪素膜又は窒化珪素膜が好ましい)を用いることができる。このパッシベーション膜47は形成されたTFTをアルカリ金属や水分から保護する役割をもつ。最終的にTFTの上方に設けられるEL層にはナトリウム等のアルカリ金属が含まれている。即ち、第1パッシベーション膜47はこれらのアルカリ金属(可動イオン)をTFT側に侵入させない保護層としても働く。

【0041】また、48は第2層間絶縁膜であり、TFTによってできる段差の平坦化を行う平坦化膜としての機能を有する。第2層間絶縁膜48としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。EL層は凹凸に非常に敏感であるため、TFTによる段差は第2層間絶縁膜で殆ど吸収してしまうことが望ましい。また、ゲート配線やデータ配線とEL素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は0.5~5μm(好ましくは1.5~2.5μm)が好ましい。

【0042】また、49は遮光性の導電膜でなる画素電極であり、第2層間絶縁膜48及び第1パッシベーション膜47にコンタクトホール(開孔)を開けた後、形成された開孔部において電流制御用TFT202のドレイン配線32に接続されるように形成される。なお、図1のように画素電極49とドレイン領域27とが直接接続されないようにしておくと、EL層のアルカリ金属がたとえ画素電極中を拡散したとしても、画素電極を経由して活性層へ侵入するようなことがない。

【0043】画素電極49の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜でなる第3層間絶縁膜50が0.3~1μmの厚さに設けられる。この第3層間絶縁膜50は画素電極49の上にエッチングにより開口部が設けられており、その開口部の縁はテーパー形状となるようにエッチングされる。テーパーの角度は10~60

8

°(好ましくは30~50°)とすると良い。

【0044】第3層間絶縁膜50の上には陰極51が設けられる。陰極51としては、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム(Ca)を含む材料を用いる。好ましくはMgAg(MgとAgをMg:Ag=10:1で混合した材料)でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。

【0045】陰極51の上にはEL層52が設けられる。このとき、EL層52は陰極51よりも大きいパターンとなるように形成し、陰極51が完全にEL層52で覆われた状態とすることが必要である。こうすることで陰極51が後に形成する陽極と短絡することを防ぐことができる。

【0046】また、陰極51とEL層52はマルチチャンパー方式(クラスターツール方式ともいう)の真空蒸着機を用いて大気解放しないで連続的に形成することが望ましい。これはEL層52が水分を含んで劣化することを避けるためである。陰極51及びEL層52の形成方法に関しては公知の技術を用いれば良い。

【0047】例えば、まず第1マスクで全画素に対応する陰極51を形成し、次いで第2マスクで赤色に対応する画素に赤色発光のEL層を形成する。そして、第2マスクを精密に制御しながらずらして順次緑色発光のEL層、青色発光のEL層を形成すればよい。なお、RGBに対応する画素がストライプ状に並んでいる時はこのような方法で第2マスクをずらすだけで良いが、いわゆるデルタ配置と呼ばれる画素構造を実現するには、緑色発光のEL層用に第3マスク、青色発光のEL層用に第4マスクを別途用いても構わない。

【0048】また、上記説明はマスクを用いた蒸着法により各色に発光するEL層を形成する例を示したが、インクジェット法、スクリーン印刷法またはイオンプレーティング法を用いても良い。また、画素を囲むようにリブを形成して、各色のEL層を区分けしても良い。

【0049】さらに、上記説明は赤、緑、青の三原色を用いてカラー表示を行う例を示したが、単色の発光を示すEL表示装置であれば、赤、緑または青のいずれかの発光を示すEL層を全面的に形成しても良い。勿論、白色発光のEL層を形成してモノクロ表示のEL表示装置とすることも可能である。

【0050】EL層51は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率が良いので好ましい。一般的には画素電極上に正孔注入層/正孔輸送層/発光層/電子輸送層の順に形成されるが、正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層のような構造でも良い。本発明では公知のいずれの構造を用いても良いし、EL層に対して蛍光性色素等をドーピングしても良い。

【0051】有機EL材料としては、例えば、以下の米

(6)

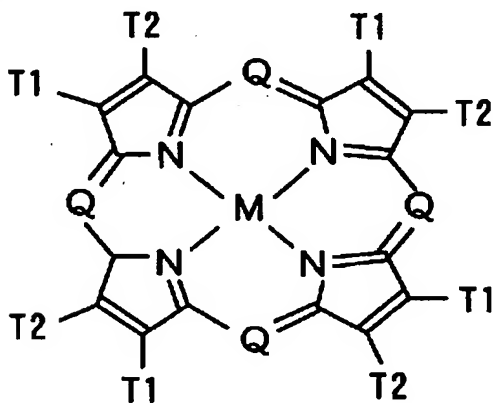
9

国特許又は公開公報に開示された材料を用いることができる。米国特許第4,356,429号、米国特許第4,539,507号、米国特許第4,720,432号、米国特許第4,769,292号、米国特許第4,885,211号、米国特許第4,950,950号、米国特許第5,059,861号、米国特許第5,047,687号、米国特許第5,073,446号、米国特許第5,059,862号、米国特許第5,061,617号、米国特許第5,151,629号、米国特許第5,294,869号、米国特許第5,294,870号、特開平10-189525号公報、特開平8-241048号公報、特開平8-78159号公報。

【0052】具体的には、正孔注入層としての有機材料は次のような一般式で表されるものを用いることができる。

【0053】

【化1】

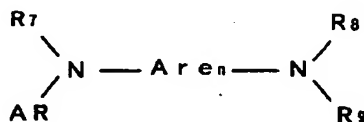


【0054】ここでQはN又はC-R（炭素鎖）であり、Mは金属、金属酸化物又は金属ハロゲン化物であり、Rは水素、アルキル、アラルキル、アリル又はアルカリルであり、T1、T2は水素、アルキル又はハロゲンのような置換基を含む不飽和六員環である。

【0055】また、正孔輸送層としての有機材料は芳香族第三アミンを用いることができ、好ましくは次のような一般式で表されるテトラアリルジアミンを含む。

【0056】

【化2】



【0057】ここでAreはアリレン群であり、nは1から4の整数であり、Ar、R7、R8、R9はそれぞれ選択されたアリル群である。

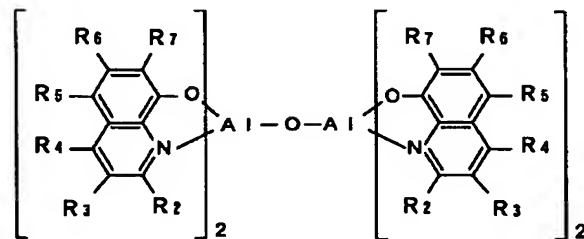
【0058】また、EL層、電子輸送層又は電子注入層としての有機材料は金属オキシノイド化合物を用いることができる。金属オキシノイド化合物としては以下のよ

10

うな一般式で表されるものを用いれば良い。

【0059】

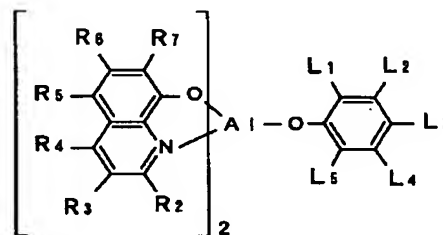
【化3】



【0060】ここでR2-R7は置き換え可能であり、次のような金属オキシノイド化合物を用いることもできる。

【0061】

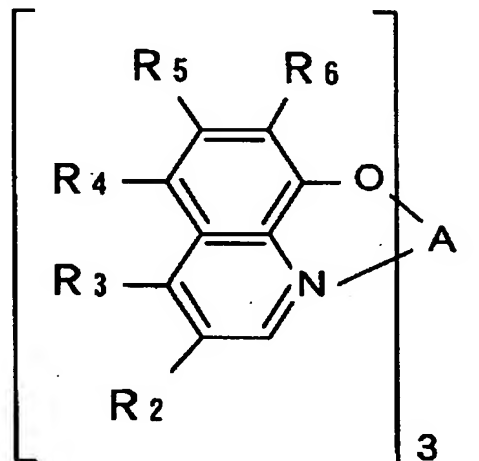
【化4】



【0062】ここでR2-R7は上述の定義によるものであり、L1-L5は1から12の炭素元素を含む炭水化物群であり、L1、L2又はL2、L3は共にベンゾ環を形成することができる。また、次のような金属オキシノイド化合物でも良い。

【0063】

【化5】



【0064】ここでR2-R6は置き換え可能である。このように有機EL材料としては有機リガンドを有する配位化合物を含む。但し、以上の例は本発明のEL材料として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。

【0065】また、EL材料としてポリマー系材料を用いても良い。代表的なポリマー系材料としては、ポリパ

(7)

11

ラフェニレンビニレン (PPV) 系やポリフルオレン系などの高分子材料が挙げられる。カラー化するには、例えば、赤色発光材料にはシアノポリフェニレンビニレン、緑色発光材料にはポリフェニレンビニレン、青色発光材料にはポリフェニレンビニレン及びポリアルキルフェニレンが好ましい。

【0066】なお、EL表示装置には大きく分けて四つのカラー化表示方式があり、R (赤) G (緑) B (青) に対応した三種類のEL素子を形成する方式、白色発光のEL素子とカラーフィルターを組み合わせた方式、青色又は青緑発光のEL素子と蛍光体 (蛍光性の色変換層: CCM) とを組み合わせた方式、陰極 (対向電極) に透明電極を使用してRGBに対応したEL素子を重ねる方式、がある。

【0067】図1の構造はRGBに対応した三種類のEL素子を形成する方式を用いた場合の例である。なお、図1には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。しかし本発明は発光方式に関わらず実施することが可能であり、上記四つの全ての方式を本発明に用いることができる。

【0068】こうしてEL層52まで形成したら、その上に透明導電膜 (酸化物導電膜) でなる陽極53を形成する。膜厚は80~300nm (好ましくは100~200nm) とすれば良い。本発明の場合、EL層で発生した光は図1の上方向 (基板と反対側の方向) に出力されるので陽極53はEL層52から発した光に対して透明でなければならない。

【0069】なお、本明細書中では、陰極51 (画素電極49と併せて陰極と考えても良い)、EL層52及び陽極53で形成される発光素子をEL素子と呼ぶ。図1においてEL素子は符号203で示す。

【0070】また、54は第2パッシベーション膜であり、膜厚は10nm~1 μ m (好ましくは200~500nm) とすれば良い。第2パッシベーション膜54を設ける目的は、EL層52を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のようにEL層は熱に弱いので、なるべく低温 (好ましくは室温から120℃までの温度範囲) で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法 (スピンコーティング法) が望ましい成膜方法と言える。

【0071】こうして図1に示すような構造の画素部が完成する。本発明の画素部はnチャネル型TFT204とpチャネル型TFT205とでなるCMOS回路が画素電極49の下に形成されており、このCMOS回路を基本単位として様々な素子、駆動回路又は信号処理部が形成される。なお、図1は一画素に一つCMOS回路が

12

形成されているという意味ではなく、画素内に駆動回路など従来画素部の周辺に設けられていた回路が形成されることを意味している。

【0072】従って、従来、画素部の周辺に設けられていた素子、駆動回路又は信号処理部は、各画素において画素電極の下に形成されたTFTで形成され、全体として画素部の内部 (画素部の内側) に形成される。

【0073】なお、本発明の主旨は、基板と反対側に光を出力させるEL表示装置において、従来、画素部の周辺に設けられていた回路又は素子を、画素部内のデッドスペース (画素電極の下) に配置し、基板面積の有効活用を図る点にある。従って、図1のTFT構造に限定されるものではない。

【0074】〔実施例1〕本発明の実施例について図2~図5を用いて説明する。ここでは、図1に示した画素部を作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位であるCMOS回路を図示することとする。

【0075】まず、図2 (A) に示すように、下地膜 (図示せず) を表面に設けた基板501を用意する。本実施例では結晶化ガラス上に下地膜として100nm厚の窒化酸化珪素膜を200nm厚の窒化酸化珪素膜とを積層して用いる。この時、結晶化ガラス基板に接する方の窒素濃度を10~25wt%としておくとも良い。勿論、下地膜を設けずに石英基板上に直接素子を形成しても良い。

【0076】次に基板501の上に45nmの厚さのアモルファスシリコン膜502を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜 (微結晶半導体膜を含む) であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0077】ここから図2 (C) までの工程は本出願人による特開平10-247735号公報を完全に引用することができる。同公報ではNi等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

【0078】まず、開口部503a、503bを有する保護膜504を形成する。本実施例では150nm厚の酸化珪素膜を用いる。そして、保護膜504の上にスピコート法によりニッケル (Ni) を含有する層 (Ni含有層) 505を形成する。このNi含有層の形成に関しては、前記公報を参考にすれば良い。

【0079】次に、図2 (B) に示すように、不活性雰囲気中で570℃14時間の加熱処理を加え、アモルファスシリコン膜502を結晶化する。この際、Niが接した領域 (以下、Ni添加領域という) 506a、506bを起点として、基板と概略平行に結晶化が進行し、棒状結晶が集まって並んだ結晶構造でなるポリシリコン膜507が形成される。

50

(8)

13

【0080】次に、図2 (C) に示すように、保護膜505をそのままマスクとして15族に属する元素（好ましくはリン）をNi添加領域506a、506bに添加する。こうして高濃度にリンが添加された領域（以下、リン添加領域という）508a、508bが形成される。

【0081】次に、図2 (C) に示すように、不活性雰囲気中で600℃12時間の加熱処理を加える。この熱処理によりポリシリコン膜507中に存在するNiは移動し、最終的には殆ど全て矢印が示すようにリン添加領域508a、508bに捕獲されてしまう。これはリンによる金属元素（本実施例ではNi）のゲッターリング効果による現象であると考えられる。

【0082】この工程によりポリシリコン膜509中に残るNiの濃度はSIMS（質量二次イオン分析）による測定値で少なくとも 2×10^{17} atoms/cm³にまで低減される。Niは半導体にとってライフタイムキラーであるが、この程度まで低減されるとTFT特性には何ら悪影響を与えることはない。また、この濃度は殆ど現状のSIMS分析の測定限界であるので、実際にはさらに低い濃度（ 2×10^{17} atoms/cm³以下）であると考えられる。

【0083】こうして触媒を用いた結晶化され、且つ、その触媒がTFTの動作に支障を与えないレベルにまで低減されたポリシリコン膜509が得られる。その後、このポリシリコン膜509を用いた活性層510～513をパターニング工程により形成する。なお、この時、後のパターニングにおいてマスク合わせを行うためのマーカーを、上記ポリシリコン膜を用いて形成すると良い。（図2 (D)）

【0084】次に、図2 (E) に示すように、50nm厚の窒化酸化シリコン膜をプラズマCVD法により形成し、その上で酸化雰囲気中で950℃1時間の加熱処理を加え、熱酸化工程を行う。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。

【0085】この熱酸化工程では活性層と上記窒化酸化シリコン膜との界面で酸化が進行し、約15nm厚のポリシリコン膜が酸化されて約30nm厚の酸化シリコン膜が形成される。即ち、30nm厚の酸化シリコン膜と50nm厚の窒化酸化シリコン膜が積層されてなる80nm厚のゲート絶縁膜514が形成される。また、活性層510～513の膜厚はこの熱酸化工程によって30nmとなる。

【0086】次に、図3 (A) に示すように、レジストマスク515を形成し、ゲート絶縁膜514を介してp型を付与する不純物元素（以下、p型不純物元素という）を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャネルドープ工程という）はTFTのしきい値電圧を制御するための工程

14

である。

【0087】なお、本実施例ではジボラン（B₂H₆）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm³（代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³）の濃度でボロンを含む不純物領域516～518が形成される。

【0088】次に、図3 (B) に示すように、レジストマスク519a、519bを形成し、ゲート絶縁膜514を介してn型を付与する不純物元素（以下、n型不純物元素という）を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン（PH₃）を質量分離しないでプラズマ励起したプラズマドープ法を用い、リンを 1×10^{18} atoms/cm³の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0089】この工程により形成されるn型不純物領域520、521には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³（代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³）の濃度で含まれるようにドーズ量を調節する。

【0090】次に、図3 (C) に示すように、添加されたn型不純物元素及びp型不純物元素の活性化工程を行う。活性化手段を限定する必要はないが、ゲート絶縁膜514が設けられているので電熱炉を用いたファーンেসアニール処理が好ましい。また、図6 (A) の工程でチャネル形成領域となる部分の活性層/ゲート絶縁膜界面にダメージを与えてしまっている可能性があるため、なるべく高い温度で加熱処理を行うことが望ましい。

【0091】本実施例の場合には耐熱性の高い結晶化ガラスを用いているので、活性化工程を800℃1時間のファーンেসアニール処理により行う。なお、処理雰囲気を酸化性雰囲気にして熱酸化を行っても良いし、不活性雰囲気中で加熱処理を行っても良い。

【0092】この工程によりn型不純物領域520、521の端部、即ち、n型不純物領域520、521の周囲に存在するn型不純物元素を添加していない領域（図3 (A) の工程で形成されたp型不純物領域）との境界部（接合部）が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0093】次に、200～400nm厚の導電膜を形成し、パターニングしてゲート電極522～525を形成する。なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。（図3 (D)）

【0094】具体的には、タンタル（Ta）、チタン

(9)

15

(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、導電性を有するシリコン(Si)から選ばれた元素でなる膜、または前記元素の窒化物でなる膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜)を用いることができる。勿論、単層で用いても積層して用いても良い。

【0095】本実施例では、50nm厚の窒化タングステン(WN)膜と、350nm厚のタングステン(W)膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0096】またこの時、ゲート電極523、525はそれぞれn型不純物領域520、521の一部とゲート絶縁膜514を挟んで重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。なお、ゲート電極524は断面では二つに見えるが、実際は電氣的に接続されている。

【0097】次に、図4(A)に示すように、ゲート電極522~525をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成される不純物領域526~532にはn型不純物領域520、521の $1/2 \sim 1/10$ (代表的には $1/3 \sim 1/4$)の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ (典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{atoms/cm}^3$)の濃度が好ましい。

【0098】次に、図4(B)に示すように、ゲート電極等を覆う形でレジストマスク533a~533dを形成し、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域534~540を形成する。ここでもフォスフィン(PH₃)を用いたイオンドープ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{atoms/cm}^3$)となるように調節する。

【0099】この工程によってnチャネル型TFETのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFETは、図4(A)の工程で形成したn型不純物領域529~531の一部を残す。この残された領域が、図1におけるスイッチング用TFETのLDD領域15a~15dに対応する。

【0100】次に、図4(C)に示すように、レジストマスク533a~533dを除去し、新たにレジストマスク541を形成する。そして、p型不純物元素(本実施例ではボロン)を添加し、高濃度にボロンを含む不純物領域542、543を形成する。ここではジボラン(B₂H₆)を用いたイオンドープ法により $3 \times 10^{20} \sim 3 \times$

16

$10^{21} \text{atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$)濃度となるようにボロンを添加する。

【0101】なお、不純物領域542、543には既に $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。

【0102】次に、図4(D)に示すように、レジストマスク541を除去した後、第1層間絶縁膜544を形成する。第1層間絶縁膜544としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は400nm~1.5μmとすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

【0103】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーネスアニール法が好ましい。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

【0104】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0105】なお、水素化処理は第1層間絶縁膜544を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成しても構わない。

【0106】次に、図5(A)に示すように、第1層間絶縁膜544に対してコンタクトホールを形成し、ソース配線545~548と、ドレイン配線549~551を形成する。なお、本実施例ではこの電極を、チタン膜を100nm、チタンを含むアルミニウム膜を300nm、チタン膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

【0107】次に、50~500nm(代表的には200~300nm)の厚さで第1パッシベーション膜552を形成する。本実施例では第1パッシベーション膜552として300nm厚の窒化酸化シリコン膜を用いる。これは窒化シリコン膜で代用しても良い。

【0108】この時、窒化酸化シリコン膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜544に供給され、熱処理を行うことで、第1パッシベーション膜552の膜質が改善される。それと同時に、第1層間絶縁膜544に添加され

(10)

17

た水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0109】次に、図5(B)に示すように、有機樹脂からなる第2層間絶縁膜553を形成する。有機樹脂としてはポリイミド、アクリル、BCB(ベンゾシクロブテン)等を使用することができる。特に、第2層間絶縁膜553はTFEが形成する段差を平坦化するので、平坦性に優れたアクリル膜が好ましい。本実施例では2.5 μ mの厚さでアクリル膜を形成する。

【0110】次に、第2層間絶縁膜553、第1パッシベーション膜552にドレイン配線551に達するコンタクトホールを形成し、画素電極554を形成する。本実施例では画素電極554として200nm厚のアルミニウム合金膜(1wt%のチタンを含有したアルミニウム膜)を形成する。

【0111】次に、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500nmの厚さに形成し、画素電極554に対応する位置に開口部を形成して第3層間絶縁膜555を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることができ、開口部の側壁が十分になだらかでないことと段差に起因するEL層の劣化が顕著な問題となってしまう。

【0112】次に、陰極(MgAg電極)556及びEL層557を、真空蒸着法を用いて大気解放しないで連続形成する。なお、陰極556の膜厚は180~300nm(典型的には200~250nm)、EL層557の厚さは80~200nm(典型的には100~120nm)とすれば良い。

【0113】この工程では、まず赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次陰極556を形成する。このとき、陰極556をパターンニングするとなると大気解放しなくてはならず、次に形成するEL層との連続形成ができなくなってしまう。そのため、陰極556はメタルマスク等を用いた真空蒸着法により成膜時に物理的にパターン化することが望ましい。

【0114】そして各画素に設けられた陰極556を覆うような形で真空蒸着法により各色に発光するEL層557を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスク等を用いて所望の画素以外を隠して選択的に形成する。

【0115】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL

18

層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0116】本実施例のように真空蒸着法を用いて成膜時にパターン化されるような形成方法とすれば、陰極556とEL層557を大気解放しないで連続的に形成することが可能となり、EL素子の発光効率を高めることができる。

【0117】なお、EL層557としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をEL層とすれば良い。また、本実施例ではEL素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料であっても良い。

【0118】次に、EL層557を覆って透明導電膜でなる陽極558を形成する。本実施例では酸化インジウム・スズ(ITO)膜を110nmの厚さに形成し、パターンニングを行って陽極とする。また、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した透明導電膜や酸化スズを用いても良い。

【0119】最後に、窒化珪素膜でなる第2パッシベーション膜559を300nmの厚さに形成する。この第2パッシベーション膜559によりEL層557を水分等から保護する。また、EL層557で発生した熱を逃がす役割も果たす。

【0120】こうして図5(C)に示すような構造のアクティブマトリクス型EL表示装置が完成する。なお、本実施例の作製工程は一例に過ぎない。例えば、本実施例では特開平10-247735号公報に記載された手段で活性層となる半導体膜を形成しているが、他の公知の手段を用いても構わない。

【0121】また、LDD領域の配置等は好ましい一例を示したものであり、本実施例の構造に限定する必要はない。但し、活性層としてポリシリコン膜を用いる場合は信頼性を高め、且つ、ポリシリコン膜を活性層として用いる利点を生かす上でも本実施例の構造が好ましい。

【0122】〔実施例2〕実施例1に従って図5(C)まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)やセラミックス製シーリングカンなどのハウジング材でパッケージング(封入)することが好ましい。その際、ハウジング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置することでEL層の信頼性(寿命)が向上する。

【0123】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクター(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。このような出荷できる

(11)

19

状態にまでしたEL表示装置を本明細書中ではELモジュールという。

【0124】ここで本発明のELモジュールの構成を図7(A)、(B)を用いて説明する。基板701上には画素部702、ゲート信号側駆動回路703、データ信号側駆動回路704、信号処理部(分周波回路、昇圧回路など、駆動回路以外の回路群)705が形成されている。本発明ではゲート信号側駆動回路703、データ信号側駆動回路704、又は信号処理部705が画素部の内部(内側)に形成されている。また、図示されないが、それぞれの駆動回路又は信号処理部からの各種配線はFPC706に至り外部機器へと接続される。

【0125】このとき画素部を囲むようにしてハウジング材707を設ける。なお、ハウジング材707は画素部702の外寸(高さ)よりも内寸(奥行き)が大きい凹部を有する形状又はシート形状であり、透明な部材で形成される。

【0126】また、ハウジング材707は図7(B)に示すように接着剤708によって、基板701と共同して密閉空間709を形成するようにして基板701に固着される。このとき、EL素子は完全に前記密閉空間に封入された状態となり、外気から完全に遮断される。なお、ハウジング材707は複数設けても構わない。

【0127】また、ハウジング材707の材質はガラス、ポリマー等の絶縁性物質が好ましい。例えば、非晶質ガラス(硼硅酸塩ガラス、石英等)、結晶化ガラス、セラミックスガラス、有機系樹脂(アクリル系樹脂、スチレン系樹脂、ポリカーボネート系樹脂、エポキシ系樹脂等)、シリコン系樹脂が挙げられる。

【0128】また、接着剤708の材質は、エポキシ系樹脂、アクリレート系樹脂等の接着剤を用いることが可能である。さらに、熱硬化性樹脂や光硬化性樹脂を接着剤として用いることもできる。但し、可能な限り酸素、水分を透過しない材質であることが必要である。

【0129】さらに、ハウジング材707と基板701との間の空隙709は不活性ガス(アルゴン、ヘリウム、窒素等)を充填しておくことが望ましい。また、ガスに限らず不活性液体(パーフルオロアルカンに代表されるの液状フッ素化炭素等)を用いることも可能である。不活性液体に関しては特開平8-78519号で用いられているような材料で良い。

【0130】また、空隙709に乾燥剤を設けておくことも有効である。乾燥剤としては特開平9-148066号公報に記載されているような材料を用いることができる。典型的には酸化バリウムを用いれば良い。

【0131】また、画素部には個々に孤立したEL素子を有する複数の画素が設けられ、それらは全て陽極710を共通電極として有している。陽極710は711で示される領域において、画素電極と同一材料でなる接続配線712を介して入出力配線713に接続される。入

20

出力配線713は陽極710に所定の電圧を与えるための配線であり、導電性ペースト714を介してFPC706に接続される。

【0132】ここで領域711におけるコンタクト構造を実現するための作製工程について図8を用いて説明する。

【0133】まず、実施例1の工程に従って図5(A)の状態を得る。このとき、基板端部にあるコンタクト部(図7(B)において711で示される領域)において第1層間絶縁膜544及びゲート絶縁膜514を除去し、その上に入出力配線713を形成する。勿論、図5(A)のソース配線やドレイン配線と同時に形成される。(図8(A))

【0134】次に、図5(B)において第2層間絶縁膜553及び第1パッシベーション膜552をエッチングする際に、801で示される領域を除去し、且つ開孔部802を形成する。そして、開孔部802を覆うようにして接続配線712を形成する。勿論、この接続配線712は図5(B)において画素電極554と同時に形成される。(図8(B))

【0135】この状態で画素部ではEL素子の形成工程(第3層間絶縁膜、陰極及びEL層の形成工程)が行われる。この際、図8に示される領域ではマスク等を用いて第3層間絶縁膜やEL素子が形成されないようにする。そして、EL層557を形成した後、別のマスクを用いて陽極558を形成する。これにより陽極558と入出力配線713とが接続配線712を介して電気的に接続される。さらに、第2パッシベーション膜559を設けて図8(C)の状態を得る。

【0136】以上の工程により図7(B)の711で示される領域のコンタクト構造が実現される。そして、入出力配線713はハウジング材707と基板701との隙間(但し接着剤708で充填されている。即ち、接着剤708は入出力配線の段差を十分に平坦化する厚さが必要である。)を通してFPC706に接続される。なお、接着剤708が設けられる部分はハウジング材707と基板701とで圧迫されるため、素子や回路が存在すると破壊される可能性があるが、図7(B)のように配線が通っているだけならば問題はない。

【0137】なお、本実施例に示したアクティブマトリクス型EL表示装置の作製方法は実施例1に従えば良い。

【0138】〔実施例3〕本実施例では本発明のアクティブマトリクス型EL表示装置における画素部の断面構造について図10を用いて説明する。なお、図10において図1と同一の部分に関しては図1と同一の符号を引用する。

【0139】図10において、1001は電流供給線であり、電流制御用TFT(図示せず)のソース領域へと接続されている。また、1002はデータ配線であり、

(12)

21

スイッチング用TFT（図示せず）のソース領域に接続されている。

【0140】ゲート配線と平行な方向において隣接する画素間には、上記電流供給線1001とデータ配線1002とが存在する。従って、異なる画素内に形成された駆動回路用TFT（駆動回路の一部を形成するTFT）を相互に接続するためには、電流供給線1001とデータ配線1002とをまたぐことになる。

【0141】この場合、本実施例に示すような方法が挙げられる。一つ目は、ゲート電極39、43と同時に第1接続配線1003を形成し、この第1接続配線1003によりデータ配線等の下をくぐる方式である。本実施例では電流供給線1001とCMOS回路1000bとを接続するためにこの方式を用いている。

【0142】また、二つ目は第2接続配線1004を形成し、この第1接続配線1004により電流供給線1001及び／又はデータ配線1002をまたぐ方式である。本実施例ではCMOS回路1000aとCMOS回路1000bとを接続するためにこの方式を用いている。

【0143】この場合、図5（B）の工程において、第2層間絶縁膜553にコンタクトホールを開けた後に、画素電極ではなく第2接続配線1004を形成すれば良い。そして、次に第2接続配線1004を覆う層間絶縁膜を形成し、コンタクトホールを開けて画素電極を形成すれば良い。

【0144】なお、本実施例では電流供給線1001及びデータ配線1002が同一の層で形成されているが、別々の層であっても良い。即ち、電流供給線1001又はデータ配線1002を、図10の第2接続配線1004の層に形成すれば良い。その場合、電流供給線及びデータ配線を超えるには、ゲート配線と同一の層で第2接続配線を形成すれば良い。

【0145】以上のように、本実施例では電流供給線及びデータ配線とは異なる層に形成された接続配線を用い、それにより上記電流供給線及びデータ配線を乗り越える点に特徴がある。本実施例の接続配線としては、ゲート配線と同一の配線、又はデータ配線と画素電極との間の層に設けた配線を用いることができる。

【0146】なお、本実施例の構成は、実施例1を参照すれば容易に作製することができる。また、実施例2に示したEL表示装置に本実施例の構成を組み合わせることは可能である。

【0147】〔実施例4〕本実施例では、実施例3の構成を用いて画素内に駆動回路を形成した場合の例について説明する。具体的には、画素部の内部（内側）にシフトレジスタを形成した例について示す。

【0148】図11（A）は画素部のある一画素を拡大した上面図、図11（B）はその回路図である。スイッチング用TFT201と電流制御用TFT202は図1

22

の同符号のTFTに相当する。1101は保持容量であり、電流制御用TFT202のゲートにかかる電圧を1フレーム期間保持する役割を果たす。但し、スイッチング用TFT201をマルチゲート構造としてTFTのオフ電流を極力低減すれば、保持容量1101を省略することも可能である。

【0149】本実施例ではこの保持容量1101を電流制御用TFT202のゲート電極と電流供給線1102との間で形成している。勿論、電流制御用TFTのソース領域と電流制御用TFT202のゲート電極（ゲート配線も含む）との間で容量を形成しても良い。

【0150】また、画素内にはシフトレジスタの一部（フリップフロップ回路）が示されており、インバータ1103、クロックドインバータ1104、1105の三つで一つのフリップフロップ回路を形成している。実際のシフトレジスタはこのフリップフロップ回路が直列に接続されている。

【0151】また、Vgはゲート信号、Vsはソース信号（データ信号）、Vdd1（電流供給線1102）はEL素子203の陰極に与える陰極信号、Vckはクロック信号（Vckの上にバーが付してあるものはVckの反転信号を意味する）、Vdd2はクロックドインバータの正側信号、Vdd3はクロックドインバータの負側信号である。なお、本実施例ではVdd1には接地電位が与えられる。

【0152】本実施例のような構造では、一画素に一つのフリップフロップ回路が形成され、隣接する画素内に設けられて別のフリップフロップ回路と直列に接続される。そして、Vck等が画素間をまたぐ時、図10において1004で示したような接続配線1106～1115を用いれば良い。

【0153】なお、接続配線1114、1115はデータ配線や電流供給線と同時に形成しても良い。即ち、交差する際に同一層でなければ問題はなく、ある配線が他の配線をまたぐ時に他の配線をどの層で形成するかは実施者が適宜設計すれば良い。

【0154】なお、本実施例の構成は、実施例1～3のいずれの構成とも自由に組み合わせる実施することが可能である。

【0155】〔実施例5〕本実施例では、アクティブマトリクス型EL表示装置の画素構造を実施例4とは異なる構造とした場合の一例を説明する。具体的には、図11に示した画素構造において、ゲート配線の材料を異なるものとした例を図12に示す。なお、図12は図11の構造とほぼ同じであるので異なる部分だけを説明する。

【0156】なお、本実施例ではスイッチング用TFTをトリプルゲート構造としてオフ電流を10pA以下（好ましくは1pA以下）にしている。そのため、図11に示した保持容量1101は省略している。

【0157】図12において、61a～61cは実施例1

のゲート電極と同様に窒化タングステン膜とタングステン膜の積層膜で形成されたゲート電極である。これらは図12に示すように各々孤立したパターンとしても良いし、各々電氣的に接続されたパターンとしても良いが、形成された時点では電氣的にフローティング状態にある。

【0158】ゲート電極61a~61cとしては窒化タンタル膜とタンタル膜の積層膜やモリブデンとタングステンの合金膜など他の導電膜を用いても良い。しかしながら、3 μ m以下（好ましくは2 μ m以下）の微細な線幅を形成しうる加工性に優れた膜であることが望ましい。また、ゲート絶縁膜を拡散して活性層中へ侵入するような元素を含む膜でないことが望ましい。

【0159】これに対して、ゲート配線62としてゲート電極61a~61cよりも低抵抗な導電膜、代表的にはアルミニウムを主成分とする合金膜や銅を主成分とする合金膜を用いる。ゲート配線62には特に微細な加工性は要求されない。また、活性層と重なることもないので絶縁膜中を拡散しやすいアルミニウムや銅を含んでいても問題とはならない。

【0160】本実施例の構造とする場合、実施例1の図4(D)の工程において第1層間絶縁膜544を形成する前に活性化工程を行えば良い。この場合、ゲート電極61a~61cが露呈した状態で熱処理を加えることになるが、十分に不活性な雰囲気、好ましくは酸素濃度が1ppm以下である不活性雰囲気中で熱処理を行う分にはゲート電極61a~61cが酸化されることはない。即ち、酸化により抵抗値が増加することもないし、除去の困難は絶縁膜（酸化膜）で覆われてしまうようなこともない。

【0161】そして、活性化工程が終了したら、アルミニウム又は銅を主成分とする導電膜を形成し、パターニングによりゲート配線62を形成すればよい。この時点でゲート電極61a~61cとゲート配線62との接触する部分では良好なオーミックコンタクトが確保され、ゲート電極61a~61cに所定のゲート電圧を加えることが可能となる。

【0162】本実施例のような構造によってゲート配線の配線抵抗を極力低減することは、配線遅延を低減する上で非常に有効である。なお、本実施例において図12に示した画素構造は本発明を何ら限定するものではなく、好ましい一例に過ぎない。また、本実施例は、実施例1~3のいずれの構成とも自由に組み合わせて実施することが可能である。

【0163】〔実施例6〕図1に示した構造において、活性層と基板11との間に設けられる下地膜12として、放熱効果の高い材料を用いることは有効である。特に電流制御用TFTは長時間に渡って比較的多くの電流を流すことになるため発熱しやすく、自己発熱による劣化が問題となりうる。そのような場合に、本実施例のように下地膜が放熱効果を有することでTFTの熱劣化を

抑制することができる。

【0164】放熱効果をもつ透光性材料としては、B（ホウ素）、C（炭素）、N（窒素）から選ばれた少なくとも一つの元素と、Al（アルミニウム）、Si（珪素）、P（リン）から選ばれた少なくとも一つの元素とを含む絶縁膜が挙げられる。

【0165】例えば、窒化アルミニウム（ Al_xNy ）に代表されるアルミニウムの窒化物、炭化珪素（ Si_xCy ）に代表される珪素の炭化物、窒化珪素（ Si_xNy ）に代表される珪素の窒化物、窒化ホウ素（ B_xNy ）に代表されるホウ素の窒化物、リン化ホウ素（ B_xPy ）に代表されるホウ素のリン化物を用いることが可能である。また、酸化アルミニウム（ Al_xOy ）に代表されるアルミニウムの酸化物は透光性に優れ、熱伝導率が20Wm⁻¹K⁻¹であり、好ましい材料の一つと言える。なお、上記透光性材料において、x、yは任意の整数である。

【0166】また、上記化合物に他の元素を組み合わせることもできる。例えば、酸化アルミニウムに窒素を添加して、 AlN_xO_y で示される窒化酸化アルミニウムを用いることも可能である。この材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。なお、上記窒化酸化アルミニウムにおいて、x、yは任意の整数である。

【0167】また、特開昭62-90260号公報に記載された材料を用いることができる。即ち、Si、Al、N、O、Mを含む絶縁膜（但し、Mは希土類元素の少なくとも一種、好ましくはCe（セリウム）、Yb（イッテルビウム）、Sm（サマリウム）、Er（エルビウム）、Y（イットリウム）、La（ランタン）、Gd（ガドリニウム）、Dy（ジスプロシウム）、Nd（ネオジウム）から選ばれた少なくとも一つの元素）を用いることもできる。これらの材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。

【0168】また、少なくともダイヤモンド薄膜又はアモルファスカーボン膜（特にダイヤモンドに特性の近いもの、ダイヤモンドライクカーボン等と呼ばれる。）を含む炭素膜を用いることもできる。これらは非常に熱伝導率が高く、放熱層として極めて有効である。但し、膜厚が厚くなると褐色を帯びて透過率が低下するため、なるべく薄い膜厚（好ましくは5~1.00nm）で用いることが好ましい。

【0169】また、上記放熱効果をもつ材料からなる薄膜を単体で用いることもできるが、これらの薄膜と、珪素を含む絶縁膜とを積層して用いても良い。

【0170】なお、本実施例の構成は、実施例1~5のいずれの構成とも自由に組み合わせて実施することが可能である。

【0171】〔実施例7〕実施例1ではEL層として有機EL材料を用いることが好ましいとしたが、本発明は

(14)

25

無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有するTFTを用いなければならない。

【0172】または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本発明に適用することは可能である。

【0173】また、本実施例の構成は、実施例1～6のいずれの構成とも自由に組み合わせることが可能である。

【0174】〔実施例8〕本発明を実施して形成されたアクティブマトリクス型EL表示装置（ELモジュール）は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れている。そのため本発明は直視型のELディスプレイ（ELモジュールを組み込んだ表示ディスプレイを指す）に対して実施することが可能である。ELディスプレイとしてはパソコンモニタ、TV放送受信用モニタ、広告表示モニタ等が挙げられる。

【0175】また、本発明は上述のELディスプレイも含めて、表示ディスプレイを部品として含むあらゆる電子装置に対して実施することが可能である。

【0176】そのような電子装置としては、ELディスプレイ、ビデオカメラ、デジタルカメラ、頭部取り付け型ディスプレイ（ヘッドマウントディスプレイ等）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（CD）、レーザーディスク（登録商標）（LD）又はデジタルバーサタイルディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子装置の例を図13に示す。

【0177】図13（A）はパーソナルコンピュータであり、本体2001、筐体2002、表示部2003、キーボード2004を含む。本発明は表示部2003に用いることができる。

【0178】図13（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106を含む。本発明を表示部2102に用いることができる。

【0179】図13（C）は頭部取り付け型のELディスプレイの一部（右片側）であり、本体2301、信号ケーブル2302、頭部固定バンド2303、表示モニタ2304、光学系2305、表示装置2306を含む。本発明は表示装置2306に用いることができる。

【0180】図13（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2401、記録媒体（CD、LDまたはDVD等）2402、操作スイッチ2403、表示部（a）2404、表示部

26

（b）2405を含む。表示部（a）は主として画像情報を表示し、表示部（b）は主として文字情報を表示するが、本発明はこれら表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD再生装置、ゲーム機器などに本発明を用いることができる。

【0181】図13（E）は携帯型（モバイル）コンピュータであり、本体2501、カメラ部2502、受像部2503、操作スイッチ2504、表示部2505を含む。本発明は表示部2505に用いることができる。

【0182】図13（F）はELディスプレイであり、筐体2601、支持台2602、表示部2603を含む。本発明は表示部2603に用いることができる。ELディスプレイは視野角が広いため液晶ディスプレイに比べて大画面化した場合において有利であり、対角10インチ以上（特に対角30インチ以上）のディスプレイにおいて有利である。

【0183】また、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0184】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子装置に適用することが可能である。また、本実施例の電子装置は実施例1～7のどのような組み合わせからなる構成を用いても実現することができる。

【0185】

【発明の効果】本発明を実施することにより基板と反対側に光を出力する動作をするアクティブマトリクス型EL表示装置において、画素部の内部（画素部と同一の領域）に駆動回路や他の信号処理部を形成することが可能となり、アクティブマトリクス型EL表示装置の小型化が実現される。

【0186】また、基板上に形成されるTFT自体も各回路又は素子が必要とする性能に併せて最適な構造のTFTを配置することで、信頼性の高いアクティブマトリクス型EL表示装置を実現している。

【0187】そして、そのようなアクティブマトリクス型EL表示装置を表示ディスプレイとして具備することで、小型で信頼性の高い高性能な電子装置を生産することが可能となる。

【図面の簡単な説明】

【図1】 EL表示装置の断面構造を示す図。

【図2】 EL表示装置の作製工程を示す図。

【図3】 EL表示装置の作製工程を示す図。

【図4】 EL表示装置の作製工程を示す図。

【図5】 EL表示装置の作製工程を示す図。

【図6】 EL表示装置の光の出力方向を説明するための図。

【図7】 ELモジュールの外観を示す図。

(15)

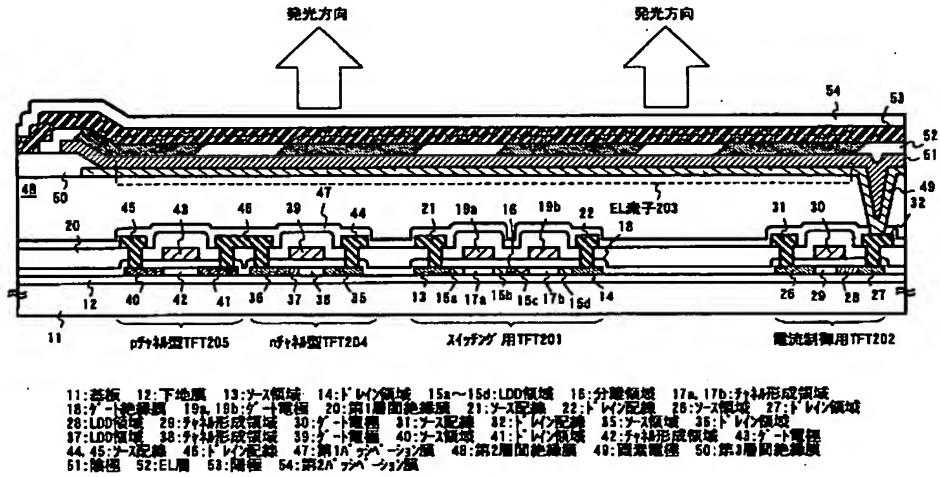
27

- 【図8】 コンタクト構造の作製工程を示す図。
 【図9】 EL表示装置の画素部の構成を示す図。
 【図10】 EL表示装置の断面構造を示す図。
 【図11】 EL表示装置の画素部の上面構造を示す

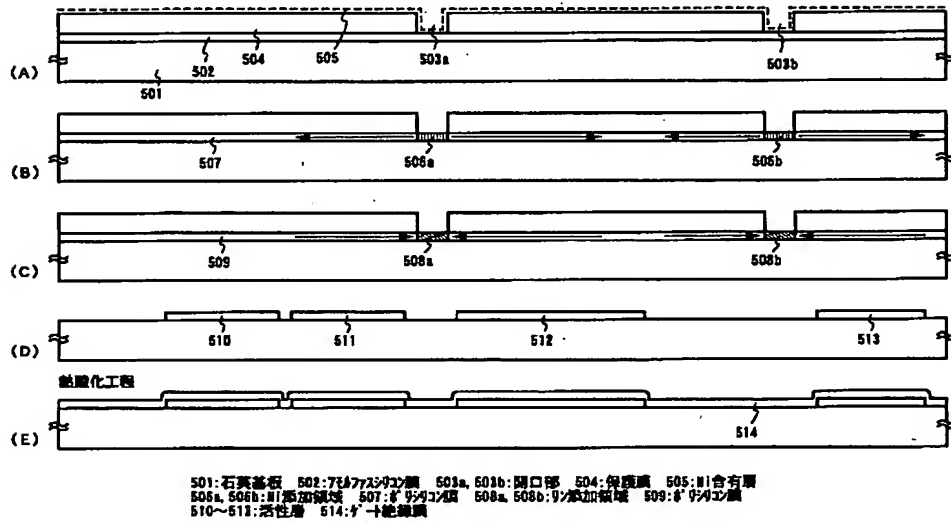
28

- 図。
 【図12】 EL表示装置の画素部の上面構造を示す図。
 【図13】 電子装置の具体例を示す図。

【図1】

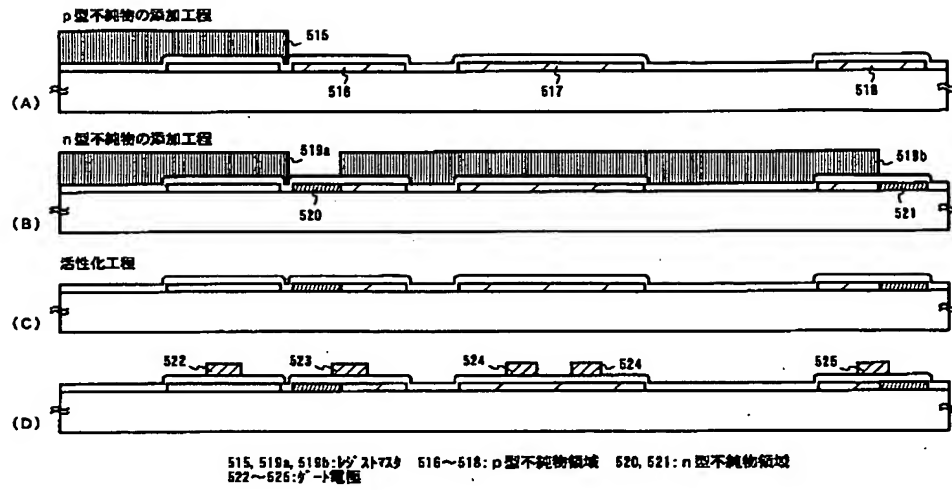


【図2】

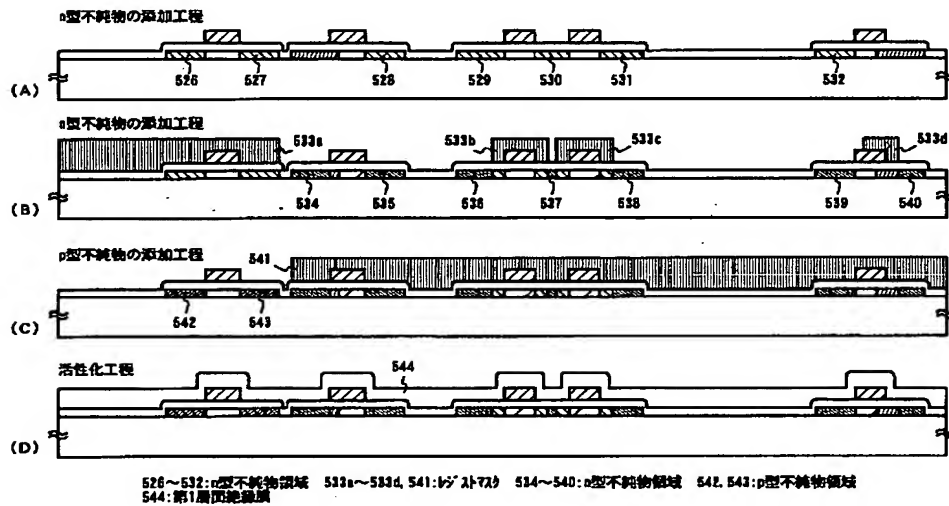


(16)

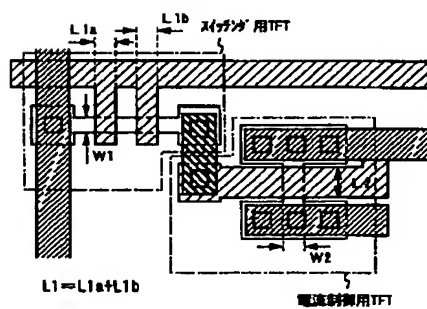
【図3】



【図4】

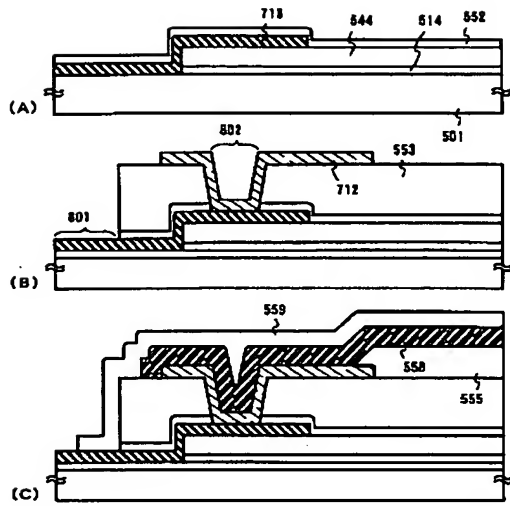


【図9】

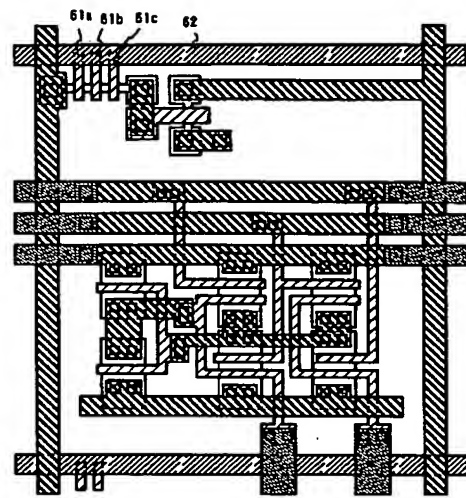


(18)

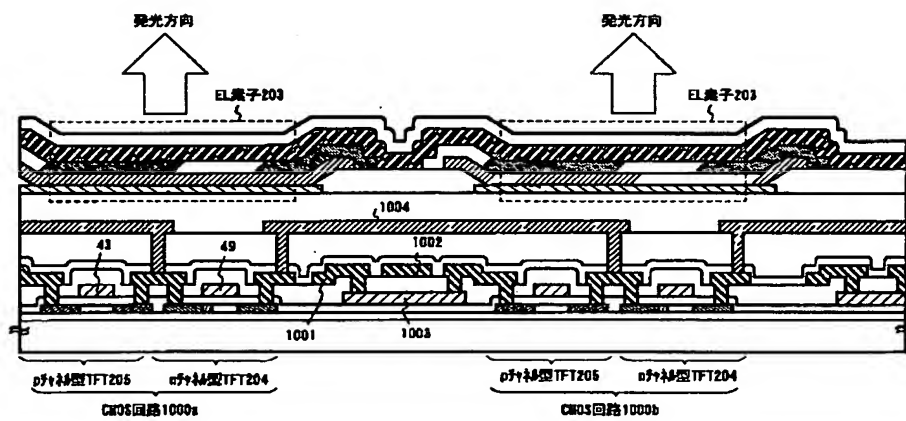
【図8】



【図12】

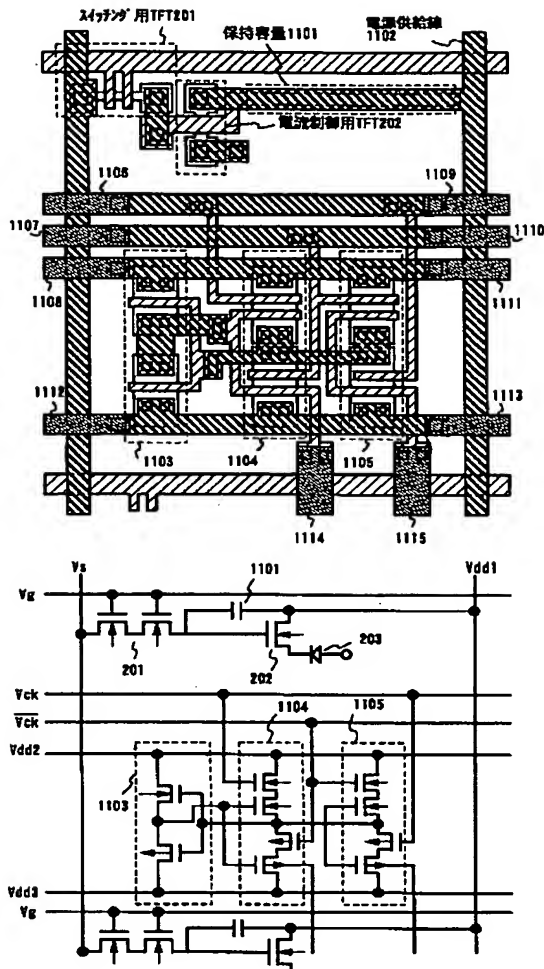


【図10】

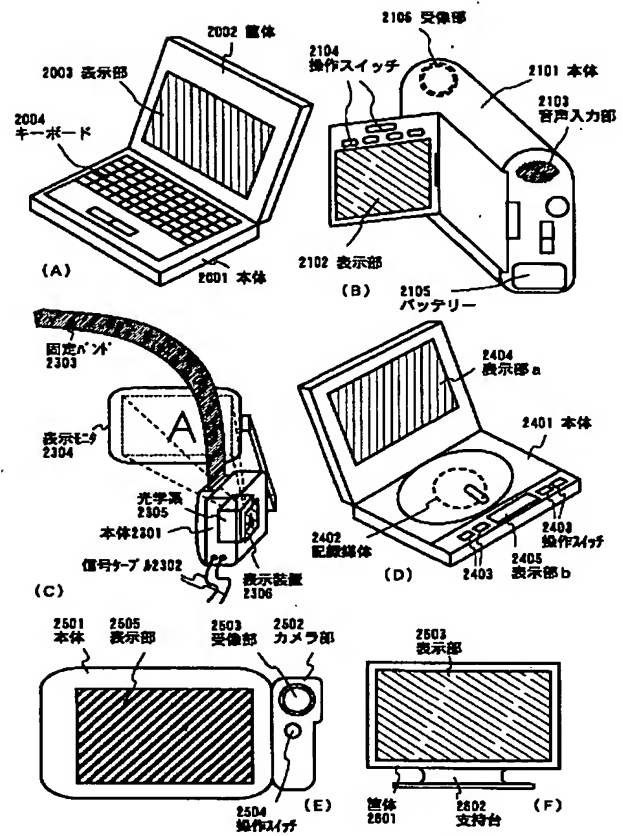


(19)

【図11】



【図13】



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/20

3/30

H 0 5 B 33/14

識別記号

6 2 3

6 8 0

F I

G 0 9 G 3/20

3/30

H 0 5 B 33/14

テーマコード (参考)

6 2 3 H

6 8 0 G

J

A